

| L Number | Hits | Search Text | DB | Time stamp |
|----------|------|--|--------------------|------------------|
| 2 | 354 | epitaxial and (opening or recess or hole or trench or via) and memory and peripheral and sidewall and transistor and @ad<=20010112 | USPAT; US-PGPUB | 2003/05/14 10:06 |
| 3 | 247 | (epitaxial and (opening or recess or hole or trench or via) and memory and peripheral and sidewall and transistor and @ad<=20010112) and (plug or pad or interconnect) | USPAT; US-PGPUB | 2003/05/14 09:47 |
| 4 | 107 | (epitaxial and (opening or recess or hole or trench or via) and memory and peripheral and sidewall and transistor and @ad<=20010112) not ((epitaxial and (opening or recess or hole or trench or via) and memory and peripheral and sidewall and transistor and @ad<=20010112) and (plug or pad or interconnect)) | USPAT; US-PGPUB | 2003/05/14 10:10 |
| 5 | 7194 | (doping or implanting) with (opening or hole or trench or recess) | USPAT; US-PGPUB | 2003/05/14 10:11 |
| 6 | 614 | ((doping or implanting) with (opening or hole or trench or recess)) and memory and peripheral and transistor | USPAT; US-PGPUB | 2003/05/14 10:12 |
| 7 | 320 | ((((doping or implanting) with (opening or hole or trench or recess)) and memory and peripheral and transistor) and (pad or plug or interconnect) | USPAT; US-PGPUB | 2003/05/14 10:12 |
| 8 | 235 | (((((doping or implanting) with (opening or hole or trench or recess)) and memory and peripheral and transistor) and (pad or plug or interconnect)) and @ad<=20010112 | USPAT; US-PGPUB | 2003/05/14 10:13 |

US-PAT-NO:

6417534

DOCUMENT-IDENTIFIER:

US 6417534 B2

TITLE:

Semiconductor device and method of fabricating the same

----- KWIC -----

While the polysilicon films 20a and 20b are formed in the bit line contact hole 18a and the storage node contact hole 19a as first conductor layers respectively in this embodiment, a similar effect can be attained by forming films of epitaxial silicon or an epitaxial silicon-germanium alloy in place of the polysilicon films 20a and 20b.

While the polysilicon films 20a and 20b are formed on the bottoms of the bit line contact hole 18a and the storage node contact hole 19a respectively, epitaxial silicon films may be formed in place of the polysilicon films 20a and 20b. In this case, the silicon substrate 1 is exposed to an atmosphere of monosilane gas or disilane gas under a temperature of 500 to 550.degree. C., to form amorphous silicon. Thereafter heat treatment is performed in a nitrogen atmosphere at a temperature of 550 to 650.degree. C. for 2 to 5 hours, for forming the epitaxial silicon films by solid-phase growth of the amorphous silicon.

In the step shown in FIG. 4, films of epitaxial silicon or an epitaxial silicon-germanium alloy may be selectively formed only on the bottoms of the bit line contact hole 18a and the storage node contact hole 19 by selective epitaxy. Also in this case, the n-type source/drain regions 15a and 15b are inhibited from being influenced by the heat treatment, and an effect similar to that described with reference to the embodiment 1 can be attained.

A DRAM according to an embodiment 5 of the present invention is now described with reference to FIG. 27. Referring to FIG. 27, epitaxial silicon growth layers 37a and 37b serving as first and fourth conductor layers are formed on n-type source/drain regions 15a and 15b of a MOS transistor T1 in a memory cell region 1a of the DRAM respectively. Storage node contact holes 19a and 19b serving as second contact holes and a bit line contact hole 18a serving as a first contact hole exposing surfaces of the epitaxial silicon growth layers 37a and 37b respectively are formed in silicon oxide films 17 and 26. Titanium silicide films 38a and 38b and titanium nitride films 23a and 23b are formed in the bit line contact hole 18a and the storage node contact hole 19a respectively. The remaining structure of the DRAM shown in FIG. 27 is identical to that of the DRAM shown in FIG. 18 described with reference to the embodiment 3, and hence members identical to those shown in FIG. 18 are denoted by the same reference numerals, to omit redundant description.

In the aforementioned structure, the titanium silicide films 38a and 38b are formed by reacting titanium films 22a and 22b formed in the bit line contact hole 18a and the storage node contact hole 19a shown in FIG. 35 with the epitaxial silicon growth layers 37b and 37a by heat treatment, as described with reference to an embodiment 6 of the present invention. Therefore, the titanium films 22a and 22b can be prevented from reacting with silicon contained in n-type source/drain regions 15a and 15b. Consequently, leakage currents leaking from the n-type source/drain regions 15a and 15b to a silicon substrate 1 are reduced, as described with reference to the embodiment 2.

While the epitaxial silicon growth layers 37a and 37b are employed in this embodiment, a similar effect can be attained by selectively epitaxially growing layers of a silicon-germanium alloy on the n-type source/drain regions 15a and 15b.

Referring to FIG. 30, epitaxial silicon growth layers 37a and 37b are selectively formed on the n-type source/drain regions 15a and 15b by chemical vapor deposition or the like.

The vertical positions of the epitaxial silicon growth layers 37a and 37b, which are higher than that of the gate electrode portion 8a in FIG. 30, are not restricted to those shown in FIG. 30 so far as the epitaxial silicon growth layers 37a and 37b are formed on the n-type source/drain regions 15a and 15b.

Referring to FIG. 32, a silicon oxide film 17 is formed on a silicon substrate 1, to cover the epitaxial silicon growth layers 37a and 37b and the gate electrode portions 8b and 8c.

Referring to FIG. 33, a bit line contact hole 18a exposing a surface of the epitaxial silicon growth layer 37b is formed in the silicon oxide film 17. A storage node contact hole 19a is formed to expose a surface of the epitaxial silicon growth layer 37a. Further, peripheral circuit contact holes 21a, 21b, 21c and 21d are formed to expose surfaces of the n-type source/drain regions 15c and 15d and the p-type source/drain regions 16a and 16b respectively.

Referring to FIG. 36, heat treatment is performed to react the titanium films 22a and 22b with silicon contained in the epitaxial silicon growth layers 37b and 37a, thereby forming titanium silicide films 38a and 38b. Further, the titanium films 22c, 22d, 22e and 22f are reacted with silicon contained in the n-type source/drain regions 15d and 15c and the p-type source/drain regions 16a and 16b, thereby forming titanium silicide films 24c, 24d, 24e and 24f respectively. Conditions for the heat treatment are preferably identical to those described with reference to the embodiment 2.

In addition to an effect of reducing leakage currents, the aforementioned fabrication method attains an effect of improving electrical connection between an element formed in the memory cell region 1a and those formed in the peripheral circuit region 1b, as described with reference to the embodiments 2 and 4. While the epitaxial silicon growth layers 37a and 37b are formed on the n-type source/drain regions 15a and 15b in this embodiment, layers of a silicon-germanium alloy may alternatively be selectively epitaxially grown.

A DRAM according to an embodiment 7 of the present invention is now described with reference to FIG. 38. Referring to FIG. 38, epitaxial silicon growth layers 37a and 37b serving as first and fourth conductor layers are formed on n-type source/drain regions 15a and 15b of a MOS transistor T1 in a memory cell region 1a respectively. These epitaxial silicon growth layers 37a and 37b are formed to cover sidewall oxide films 12 which are formed on side surfaces of a gate electrode portion 8a. A silicon nitride film 56a serving as a second protective layer is formed to cover a gate electrode serving as a second gate electrode portion located on an element isolation insulator film 2a. On the other hand, no silicon nitride film is formed on a gate electrode portion serving as a first gate electrode portion in an element forming region A.

A silicon oxide film 54 is formed to cover the epitaxial silicon growth layers 37a and 37b. A bit line contact hole 18a serving as a first contact hole exposing a surface of the epitaxial silicon growth layer 37b is formed in the silicon oxide film 54. A titanium silicide film 38a and a titanium nitride film 23a are formed in the bit line contact hole 18a.

A bit line 25 serving as a first conductor region which is electrically connected with the titanium nitride film 23a is formed on the silicon oxide film 54. A silicon nitride film 57a serving as a first protective layer is formed on the bit line 25. A silicon oxide film 26 is formed on the silicon oxide films 54 and 17, to cover the silicon nitride film 57a. A storage node contact hole 50a serving as a second contact hole exposing a surface of the epitaxial silicon growth layer 37a is formed in the silicon oxide films 26 and 54. A titanium silicide film 38b and a titanium nitride film 52a are formed in the storage node contact hole 50a.

In addition to these effects, the aforementioned structure attains the following effect: The epitaxial silicon growth layers 37a and 37b are formed to extend over the gate electrode portion 8a and the sidewall oxide films 12. Even if misalignment is caused in formation of the bit line contact hole 18a,

therefore, the sidewall oxide films 12 are inhibited from being etched in etching of the silicon oxide film 54. Therefore, no polysilicon film part of the gate electrode portion 8a is exposed and an electrical short between the bit line 25 and the gate electrode portion 8a can be prevented.

The sidewall oxide films 12 are also inhibited from being etched in formation of the storage node contact hole 50a. On the other hand, the silicon nitride film 57a covering the bit line 25 may be exposed in formation of the storage node contact hole 50a due to misregistration of the bit line 25, as described with reference to an embodiment 8 of the present invention. In this case, the exposed part of the silicon nitride film 57a is exposed to etching gas for a time corresponding to that up to exposure of the surface of the **epitaxial** silicon growth layer 37a. As compared with the case of forming a contact hole exposing the surface of the n-type source/drain region 15a as a storage node contact hole, therefore, the time required for etching is reduced. Thus, the silicon nitride film 57a is inhibited from being etched to expose a surface of the bit line 25. Further, the titanium nitride film 52a formed in the storage node contact hole 50a can prevent the storage node 28c and the bit line 25 from an electrical short.

An opening 61 formed in this step has a considerably larger opening area as compared with a bit line contact hole and a storage node contact hole. Therefore, the aspect ratio of the opening 61 is substantially reduced. After a part of the silicon nitride film 56a formed on the gate electrode portion 8a is exposed, therefore, the opening 61 can be readily formed without excessively etching this part. Referring to FIG. 42, the exposed part of the silicon nitride film 56a is removed. Referring to FIG. 43, **epitaxial** silicon growth layers 37a and 37b are selectively formed on n-type source/drain regions 15a and 15b respectively by chemical vapor deposition or the like. Referring to FIG. 44, a silicon oxide film 54 is formed in the opening 61 to cover the **epitaxial** silicon growth layers 37a and 37b.

Referring to FIG. 45, a photoresist film 60b is formed on the silicon oxide films 17 and 54. This photoresist film 60b is employed as a mask to

anisotropically etch the silicon oxide film 54, for forming a bit line contact hole 18a exposing a surface of the epitaxial silicon growth layer 37b. Referring to FIG. 46, a titanium silicide film 38a and a titanium nitride film 23a are formed in the bit line contact hole 18a through a step similar to that described with reference to the embodiment 6.

Referring to FIG. 47, a bit line 25 which is electrically connected to the titanium nitride film 23a is formed on the silicon oxide film 54. A silicon nitride film 57a is formed to cover the bit line 25. A silicon oxide film 26 is formed on the silicon oxide films 17 and 54, to cover the silicon nitride film 57a. A photoresist film 60c is formed on the silicon oxide film 26. This photoresist film 60c is employed as a mask to anisotropically etch the silicon oxide films 26 and 54 for forming a storage node contact hole 50a exposing a surface of the epitaxial silicon growth layer 37a in the memory cell region 1a. In the peripheral circuit region 1b, on the other hand, peripheral circuit contact holes 58a and 58b are formed to expose surfaces of the n-type source/drain regions 15a and 15c respectively. Further, peripheral circuit contact holes 58c and 58d are formed to expose surfaces of the p-type source/drain regions 16a and 16b respectively.

At this time, the part of the silicon nitride film formed on the gate electrode 8a is exposed in advance. Due to the reduced aspect ratio, however, the part of the silicon nitride film exposed in advance can be inhibited from being excessively etched before those of the silicon nitride film formed on the surfaces of the n-type source/drain regions 15a and 15b are exposed. Therefore, sidewall oxide films 12 located under the part of the silicon nitride film exposed in advance can be prevented from being etched. Thus, electrical insulation between the epitaxial silicon growth layers 37a and 37b and the gate electrode 8a is improved.

Referring to FIGS. 50 and 51, a deviating bit line contact hole 18b may be formed due to misalignment or the like. In this case, an end portion of the upper surface of the epitaxial silicon growth layer 37b is exposed. FIG. 51 is a sectional view taken along the line L2--L2 in FIG. 50. The epitaxial silicon

growth layer 37b is formed to extend over the gate electrode portion 8a. Therefore, the gate electrode portion 8a and the sidewall oxide films 12 can be prevented from being etched in formation of the bit line contact hole 18b. Consequently, the bit line 25 thereafter formed and the gate electrode can be prevented from an electrical short.

As described with reference to FIG. 89 in relation to the prior art, on the other hand, a deviating storage node contact hole 50b may be formed as shown in FIG. 52, due to misalignment or the like. In this case, the exposed surface of the silicon nitride film 57a covering the bit line 25 is exposed to etching gas for a time corresponding to that up to exposure of the surface of the epitaxial silicon growth layer 37a. As compared with the case of forming a storage node contact hole exposing the surface of the n-type source/drain region 15a with no presence of the epitaxial silicon growth layer 37a, therefore, the time for exposing the epitaxial exposed surface of the silicon nitride film 57a to the etching gas is reduced. Thus, the exposed surface of the silicon nitride film 57a can be inhibited from being excessively etched to expose the bit line 25. Consequently, the storage node 28a thereafter formed and the bit line 25 can be prevented from an electrical short.

As the first effect, the number of the steps can be reduced in this embodiment. According to the embodiment 8, the epitaxial silicon growth layers 37a and 37b can be selectively formed only on the n-type source/drain regions 15a and 15b of the memory cell region 1a. Therefore, the sidewall oxide films 12 may not be independently formed in the memory cell region 1a and the peripheral circuit region 1b for selectively forming the epitaxial silicon growth layers 37a and 37b only on the n-type source/drain regions 15a and 15b as shown in FIGS. 29 to 31 in relation to the embodiment 6, but can be formed through a single step. Consequently, the number of the steps can be reduced.

As the second effect, the ratio (aspect ratio) of a component (component A) growing in parallel with the surface of the silicon substrate 1 to that (component B) growing perpendicularly to this surface can be more readily controlled in the growing process of the epitaxial silicon growth layers 37a

and 37b in the embodiment 8, as compared with the embodiment 6. This effect is now described in detail.

In the embodiment 6 of the present invention, the epitaxial silicon growth layers 37a and 37b are formed in the step shown in FIG. 30. At this time, no insulator film such as a silicon oxide film is formed on the element isolation oxide film 2a of the memory cell region 1a, except a part of the gate electrode portion 8a. In the embodiment 8, on the other hand, the epitaxial silicon growth layers 37a and 37b are formed in the step shown in FIG. 43. At this time, the silicon nitride film 56a and the silicon oxide film 17 are formed on the element isolation oxide film 2a of the memory cell region 1a to cover the gate electrode portion 8a, in addition to the part of the gate electrode portion 8a. When the epitaxial silicon growth layers 37a and 37b are formed in each element forming region A, therefore, the silicon nitride film 56a and the silicon oxide film 17 are present between adjacent ones of the adjacent epitaxial silicon growth layers 37a and 37b located along the longitudinal direction of the gate electrode 8a, as shown in FIG. 50 in particular. Thus, electrical insulation between the adjacent ones of the epitaxial silicon growth layers 37a and 37b is maintained in the growth process, regardless of the component A.

In the embodiment 6, however, no such insulator films are present in formation of the epitaxial silicon growth layers 37a and 37b. Depending on the component A, therefore, the epitaxial silicon growth layer may extend over the element isolation oxide film 2a, to be electrically shorted with the adjacent one. In order to prevent this, the components A and B must be so controlled that such adjacent epitaxial silicon growth layers are not in contact with each other. In the embodiment 8 requiring no particular consideration of the component A, therefore, the aspect ratio can be more readily controlled in formation of the epitaxial silicon growth layers 37a and 37b, as compared with the embodiment 6.

"A 0.23 .mu.m2 Double Self-Aligned Contact Cell for Gibabit DRAMs With a

Ge-Added Vertical Epitaxial Si Pad", H. Koga et al., IEDM Tech. Dig., D589 (1996).

| L Number | Hits | Search Text | DB | Time stamp |
|----------|------|---|----------------------------------|------------------|
| 1 | 180 | peripheral and memory and (opening or hole) and transistor | EPO; JPO; DERWENT; IBM_TDB | 2003/05/14 15:18 |
| 3 | 23 | (peripheral and memory and (opening or hole) and transistor) and nitride | EPO; JPO; DERWENT; IBM_TDB | 2003/05/14 15:19 |
| 4 | 9 | ((peripheral and memory and (opening or hole) and transistor) and nitride) and etch\$3 | EPO; JPO; DERWENT; IBM_TDB | 2003/05/14 15:20 |

DERWENT-ACC-NO: 1999-343713

DERWENT-WEEK: 199929

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Forming element separation area for
semiconductor memory array - involves oxidising
polysilicon film after removing silicon nitride film on BPSG
film continuously to seal evacuated trench and opening

PATENT-ASSIGNEE: NIPPON STEEL CORP[YAWA]

PRIORITY-DATA: 1997JP-0237754 (August 19, 1997) ,
1997JP-0180533 (June 20,
1997)

PATENT-FAMILY:

| PUB-NO | PAGES | PUB-DATE | MAIN-IPC |
|---------------|--------------|--------------|----------|
| JP 11126819 A | | May 11, 1999 | N/A |
| 022 | H01L 021/764 | | |

APPLICATION-DATA:

| PUB-NO | APPL-DESCRIPTOR | APPL-NO |
|----------------|-----------------|---------|
| JP 11126819A | N/A | |
| 1998JP-0175140 | June 22, 1998 | |

INT-CL (IPC): H01L021/76, H01L021/762 , H01L021/764 ,
H01L027/08 ,
H01L027/10

ABSTRACTED-PUB-NO: JP 11126819A

BASIC-ABSTRACT:

NOVELTY - An opening (29) is formed in the portions of a
BPSG, polysilicon and
SiN films (25-27) corresponding to an another SiN film

(17). The SiN film (17) is etched using the opening as mask. A heat oxide film (30) is formed on BPSG film (25) and opening by oxidizing polysilicon film after removing SiN film (27). Thus vacuum area is formed inside opening (29) and etched area.

DETAILED DESCRIPTION - A heat oxide film (12) is formed on a semiconductor substrate (11). A trench (15) is cut in the selected portion of the heat oxide film and substrate. A heat oxide film (16) is formed on the sides and base of the trench portion corresponding to the substrate. A SiN film (17) is embedded in the trench and forms an element separation area. A gate electrode of a transistor is formed on the element formation area of the substrate through the gate insulating film. The BPSG, polysilicon and SiN films (25-27) are sequentially surrounded on the upper surface of the substrate and element separation area.

USE - In cell array of semiconductor memory.

ADVANTAGE - Generates stable void as element separation structure. Reduces parasitic capacitance. Separation capability is increased. Simplifies sealing void using insulating film. Effects miniaturization of device. Eliminates sealing with electrically conducting film. Forms void only in specified area, element separation capability is enhanced by forming and loading trench. Generates void which provides electrical separation between memory cell area and peripheral area. Element formation area is made independently electrical, high speed operation is obtained. DESCRIPTION OF DRAWING(S) - The figure shows the schematic sectional view of semiconductor device manufacturing method. (11) Semiconductor substrate; (15) Trench; (16,30) Heat oxide films; (17,25-27)

BPSG polysilicon and SiN films; (29) Opening.

CHOSEN-DRAWING: Dwg.3/23

TITLE-TERMS: FORMING ELEMENT SEPARATE AREA SEMICONDUCTOR
MEMORY ARRAY OXIDATION

FILM AFTER REMOVE SILICON NITRIDE FILM BPSG
FILM CONTINUOUS SEAL
EVACUATE TRENCH OPEN

DERWENT-CLASS: L03 U11

CPI-CODES: L04-C10B; L04-C10H; L04-C12B; L04-C12D;

EPI-CODES: U11-C08A2;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C1999-101404

Non-CPI Secondary Accession Numbers: N1999-258232

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-126819

(43)公開日 平成11年(1999) 5月11日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 21/764

H 0 1 L 21/76

A

21/76

27/08

3 3 1 E

21/762

27/10

4 8 1

27/08

3 3 1

21/76

S

27/10

4 8 1

L

審査請求 未請求 請求項の数30 O L (全 22 頁) 最終頁に続く

(21)出願番号 特願平10-175140

(71)出願人 000006655

新日本製鐵株式会社

(22)出願日 平成10年(1998) 6月22日

東京都千代田区大手町 2丁目 6番 3号

(31)優先権主張番号 特願平9-180533

(72)発明者 横関 亘

(32)優先日 平 9 (1997) 6月20日

東京都千代田区大手町 2-6-3 新日本

(33)優先権主張国 日本 (J P)

製鐵株式会社内

(31)優先権主張番号 特願平9-237754

(74)代理人 弁理士 國分 孝悦

(32)優先日 平 9 (1997) 8月19日

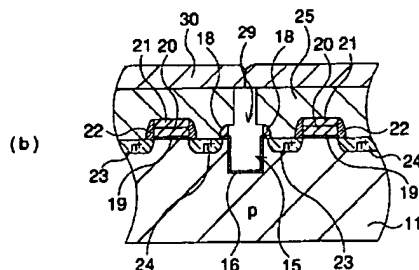
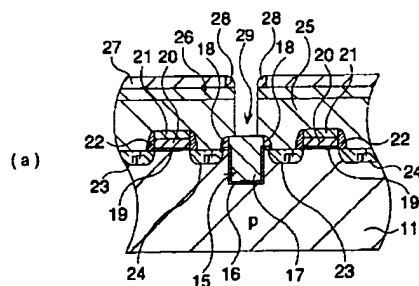
(33)優先権主張国 日本 (J P)

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 素子分離領域の一部に、より誘電率の低い空隙（真空）部分を形成して、素子分離領域での寄生容量を低減させて素子分離能力を向上させる。

【解決手段】 半導体基板 11 上に熱酸化膜 12 を形成し、この熱酸化膜 12 と半導体基板 11 とを開口してトレンチ 15 を形成し、その内壁に熱酸化膜 16 を形成後、前記トレンチ 15 内にシリコン窒化膜 17 を埋設させ、次に、素子活性領域にトランジスタを形成後、半導体基板 11 の全面に BPSG 膜 25 を堆積してこれを平坦化する。次に、ポリシリコン膜 26 及びシリコン窒化膜 27 を順次堆積後、前記シリコン窒化膜 17 上のシリコン窒化膜 27 を選択的に除去して開口部 29 を形成した後、前記シリコン窒化膜 17 及び 27 を除去することにより空隙（15、29）を形成し、その後、前記ポリシリコン膜 26 を熱酸化して熱酸化膜 30 を形成し、これで前記空隙（15、29）の上部を密閉して空洞（真空）領域を形成する。



【特許請求の範囲】

【請求項1】 半導体基板に形成された第1の素子分離構造と第2の素子分離構造とを備え、

前記半導体基板には、前記第1の素子分離構造により画定される第1の素子活性領域と前記第2の素子分離構造により画定される第2の素子活性領域を備え、

前記第1の素子分離構造は、前記半導体基板に形成された第1の溝部から構成されており、

前記第1の溝部内に形成された第1の空洞領域を備え、

前記第2の素子分離構造は、絶縁膜からなる素子分離構造、電極を備えたフィールドシールド素子分離構造の何れか一方の素子分離構造で構成されていることを特徴とする半導体装置。

【請求項2】 前記第1の溝部を含む前記半導体基板上に形成された第1の絶縁膜と、

前記第1の溝部上の前記第1の絶縁膜に形成された第2の空洞領域を備え、

前記第1、第2の空洞領域が連結することにより空洞領域が形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記第1の溝部上の前記第1の絶縁膜に形成された第2の溝部を有し、

前記第1の絶縁膜と、前記第2の溝部内に形成された導電膜により、前記空洞領域が密閉されていることを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】 前記第1、第2の素子活性領域の一方の領域が、メモリセル形成領域であって、

前記第1、第2の素子活性領域の他方の領域が、周辺回路形成領域であることを特徴とする請求項1～3のいずれか1項に記載の半導体装置。

【請求項5】 前記半導体基板内の少なくとも一部の領域に絶縁層が形成されていることを特徴とする請求項1～4のいずれか1項に記載の半導体装置。

【請求項6】 半導体基板に形成された第1の溝部と、前記第1の溝部を含む前記半導体基板上に形成された第1の絶縁膜と、

少なくとも一部の前記第1の溝部内に形成された空洞領域を備え、

前記第1の溝部上の前記第1の絶縁膜に形成された第2の溝部を有し、

前記第1の絶縁膜と、前記第2の溝部内に形成された導電膜により、前記空洞領域が密閉されていることを特徴とする半導体装置。

【請求項7】 半導体基板に形成された溝と、

前記溝を含む前記半導体基板上に形成された第1の絶縁膜と、

前記溝上の第1の絶縁膜に形成された第1の空隙領域と、

少なくとも一部の前記溝内に形成された第2の空隙領域とを有し、

前記第1及び第2の空隙領域が連結して空洞領域が構成されていることを特徴とする半導体装置。

【請求項8】 前記第1の絶縁膜上に第2の絶縁膜が形成され、前記第2の絶縁膜により前記空洞領域が密閉されていることを特徴とする請求項7に記載の半導体装置。

【請求項9】 前記第2の絶縁膜の膜厚は、前記第1の空隙領域の幅以上であることを特徴とする請求項8に記載の半導体装置。

10 【請求項10】 前記第1の絶縁膜に前記第2の空隙領域に達する開口部を備えることを特徴とする請求項7に記載の半導体装置。

【請求項11】 前記第1の絶縁膜上に第2の絶縁膜が形成され、

前記第1の絶縁膜の膜厚は、前記開口部の幅以上であることを特徴とする請求項10に記載の半導体装置。

【請求項12】 一部の領域における前記溝には第3の絶縁膜が充填されていることを特徴とする請求項7に記載の半導体装置。

20 【請求項13】 前記半導体基板内の少なくとも一部の領域に第4の絶縁膜を備えることを特徴とする請求項7に記載の半導体装置。

【請求項14】 前記溝の底部の一部が前記第4の絶縁膜上に一部に形成されていることを特徴とする請求項13に記載の半導体装置。

【請求項15】 前記半導体基板が、SOI、SIMOXの内、いずれか一方の基板であることを特徴とする請求項7に記載の半導体装置。

30 【請求項16】 前記第2の空隙領域下以外の実質的な領域に前記第4の絶縁膜を備えることを特徴とする請求項13に記載の半導体装置。

【請求項17】 前記第1の絶縁膜上に導電膜が形成され、

前記導電膜により前記空洞領域が密閉されていることを特徴とする請求項7に記載の半導体装置。

【請求項18】 前記半導体基板には、少なくとも一部の前記溝により画定された素子活性領域を備えていることを特徴とする請求項7に記載の半導体装置。

【請求項19】 半導体基板に形成された溝と、

40 前記溝を含む前記半導体基板上に形成された層間絶縁膜と、

少なくとも一部の前記溝内に形成された第1のホールと、

前記溝上の前記層間絶縁膜に形成された第1のホールと、

前記第1のホールと前記空洞領域とが連結して構成されていることを特徴とする半導体装置。

【請求項20】 前記半導体基板上にメモリセル領域と、周辺回路領域を備え、

50 前記空隙領域は少なくとも前記メモリセル領域と前記周

辺回路領域との境界部に形成されていることを特徴とする請求項7に記載の半導体装置。

【請求項21】 前記空隙領域により前記周辺回路領域の素子分離が成されていることを特徴とする請求項20に記載の半導体装置。

【請求項22】 前記半導体基板の一部の領域における前記溝には絶縁膜が充填されており、前記空隙領域とともに前記絶縁膜が前記素子分離構造として機能することを特徴とする請求項7に記載の半導体装置。

【請求項23】 前記半導体基板は半導体基板上に絶縁層を介して半導体層が形成されてなる半導体基板であって、

前記溝が前記絶縁層に達するように形成されており、前記空隙領域と前記絶縁層が接続されていることを特徴とする請求項7に記載の半導体装置。

【請求項24】 半導体基板の素子分離領域に溝を形成する第1の工程と、
前記溝内に選択的に酸化膜を形成した後、窒化膜を前記溝内に埋設する第2の工程と、

前記溝を含む前記半導体基板の全面を覆うように層間絶縁膜を形成する第3の工程と、

前記層間絶縁膜上に珪素膜を堆積する第4の工程と、

前記窒化膜の表層に到達する開口部を前記珪素膜及び前記層間絶縁膜に形成する第5の工程と、

前記窒化膜をウエットエッチング法により前記開口部から除去する第6の工程と、

前記珪素膜を熱酸化して前記開口部を密閉する工程であって、前記溝内及び前記層間絶縁膜の開口領域に形成された空洞領域を密閉する第7の工程とを有することを特徴とする半導体装置の製造方法。

【請求項25】 半導体基板の素子分離領域に溝を形成する第1の工程と、

前記溝内に選択的に熱酸化膜を形成した後、第1の窒化膜を前記溝に埋設する第2の工程と、

前記半導体基板の全面に層間絶縁膜、珪素膜、第2の窒化膜を順次堆積する第3の工程と、

少なくとも前記第2の窒化膜に第1の開口部を形成する第4の工程と、

前記第2の窒化膜上に第3の窒化膜を形成する第5の工程と、

前記第3の窒化膜をエッチバックすることにより、前記第2の窒化膜の側壁に第3の窒化膜からなるサイドウォール窒化膜を形成する第6の工程と、

前記第2の窒化膜及び前記サイドウォール窒化膜をマスクにして、前記第1の窒化膜の表層が露出するまで前記珪素膜と前記層間絶縁膜とを順次エッチングして、前記第1の窒化膜の表層を底面とする第2の開口部を形成する第7の工程と、

前記第1の窒化膜、第2の窒化膜及び前記サイドウォール窒化膜をウエットエッチング法により除去する第8の

工程とを有することを特徴とする半導体装置の製造方法。

【請求項26】 半導体基板の素子分離領域に溝を形成する第1の工程と、

前記溝内に窒化膜を埋設する第2の工程と、

前記溝により画定される前記半導体基板の素子活性領域に半導体素子を形成する第3の工程と、

前記溝上及び前記半導体素子上を含む前記半導体基板の全面を覆うように層間絶縁膜を形成する第4の工程と、

10 前記窒化膜の表層に到達する第1の開口部と前記半導体素子における前記半導体基板の表層に到達する第2の開口部とともに前記層間絶縁膜に形成する第5の工程と、
4前記窒化膜をウエットエッチング法により前記第1の開口部から除去して、前記溝内を空隙領域とする第6の工程と、

前記第1の開口部内に導電膜を埋め込んで前記空隙領域を密閉するとともに、前記第2の開口部内に前記導電膜を埋め込んで前記半導体素子と前記導電膜を電氣的に接続する第7の工程とを有することを特徴とする半導体装置の製造方法。

【請求項27】 半導体基板の素子分離領域に溝を形成する第1の工程と、

前記溝内に窒化膜を埋設する第2の工程と、

前記溝により画定される前記半導体基板の素子活性領域に半導体素子を形成する第3の工程と、

前記溝上及び前記半導体素子上を含む前記半導体基板の全面を覆うように層間絶縁膜を形成する第4の工程と、

前記窒化膜の表層に到達する第1の開口部を前記層間絶縁膜に形成する第5の工程と、

30 前記窒化膜をウエットエッチング法により前記第1の開口部から除去して、前記溝内を空隙領域とする第6の工程と、

前記半導体素子における前記半導体基板の表層に到達する第2の開口部を前記層間絶縁膜に形成する第7の工程と、

前記第1の開口部内に導電膜を埋め込んで前記空隙領域を密閉するとともに、前記第2の開口部内に前記導電膜を埋め込んで前記半導体素子と前記導電膜を電氣的に接続する第8の工程とを有することを特徴とする半導体装置の製造方法。

40 【請求項28】 前記第1のホール内に形成された導電膜を有し、
前記導電膜により前記空洞領域が密閉されていることを特徴とする請求項19に記載の半導体装置。

【請求項29】 前記半導体基板表層上に形成された不純物拡散層と、
前記不純物拡散層上の前記層間絶縁膜に形成された第2のホールとを有し、
前記第2のホールの底部が、前記不純物拡散層の表層となり、

前記第2のホール内に形成された導電膜を有し、
前記不純物拡散層と前記導電膜とが電気的に接続されて
いることを特徴とする請求項19に記載の半導体装置。

【請求項30】 前記半導体基板表層上に形成された不
純物拡散層と、

前記第1のホール内に形成された第1の導電膜とを有
し、

前記第1の導電膜により、前記空洞領域が密閉されてお
り、

前記不純物拡散層上の前記層間絶縁膜に形成された第2
のホールを有し、

前記第2のホールの底部が、前記不純物拡散層の表層と
なり、

前記第2のホール内に形成された第2の導電膜を有し、
前記不純物拡散層と前記第2の導電膜とが電気的に接続
されていることを特徴とする請求項19に記載の半導体
装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びそ
の製造方法に関し、特に、素子間の電気的な分離能力を
向上させた素子分離構造を有する半導体装置及びその製
造方法に関するものである。

【0002】

【従来の技術】半導体装置の製造における従来の素子分
離方法として、素子分離領域にフィールド酸化膜を形成
する方法や、フィールドシールド法、素子分離用電極に
よる素子分離を行う方法などがある。

【0003】また、素子分離方法として素子分離領域を
空隙にする方法などがある。例えば、特開昭60-15
0644号公報及び特開平8-37230号公報に、空
洞或いは密閉空間を利用した素子分離技術による素子分
離構造を形成するための製造方法と製造工程が示されて
いる。

【0004】前記特開昭60-150644号公報に記載の発明によれば、半導体基板上に形成したCVD酸化
膜のパターンをマスクとしてエッチングによって深さ5
μmの溝を5μm間隔で形成する。

【0005】次に、前記溝の内部に熱酸化膜を形成し、
次いで異方性エッチングにより前記溝の底部の熱酸化膜
のみを完全にエッチングして除去する。そして、シリコ
ンの異方性エッチングにより、前記溝の底部のシリコン
を1μm程度エッチングして前記溝より幅広い空洞部を
形成する例が示されている。

【0006】また、特開平8-37230号公報に記載
の発明によれば、実施例1として、半導体基板上に素子
分離用の溝を形成し、不活性ガス雰囲気中でシラノール
有機溶液をスピンコートにより塗布し、熱処理を施すこ
とによって前記溝の上部にシリコン酸化膜等の絶縁膜を
形成している。この際、前記溝の開口径に合わせてシラ

ノール有機溶液の粘度及び塗布時の回転数を最適化する
ことによって、前記溝内には溶液を浸透させないで前記
溝の上部のみにシリコン酸化膜等の絶縁膜を形成し、前
記溝内の空間を密閉することができるとしている。

【0007】また、同じく特開平8-37230号公報
に記載の実施例2によれば、素子分離用の溝の側壁から
所定量離間し、前記溝の底面とつながった壁状体を形成
し、この壁状体と前記溝の側壁との隙間を上述したシラ
ノール有機溶液によって密閉して空間を形成する例が記
載されている。

【0008】

【発明が解決しようとする課題】しかしながら、誘電率
を低下させて素子分離能力の向上を図るために、前記特
開昭60-150644号公報に開示されている方法を用いて、基板表面に近い部位に、例えば基板表面から少
なくとも1μm以内に空隙を形成すると、高濃度の拡散
層も基板表面に形成されるので、ウェルを形成すること
ができなくなってしまう。従って、デバイス素子をシリ
コン基板表面に形成することが非常に困難になるという
問題があった。

【0009】通常、空隙により素子分離領域を形成する
場合、如何にして空隙の上部に絶縁膜を形成するかが問
題である。前記特開平8-37230号公報に記載され
ている実施例1では、上述したようにトレンチ開口径に
合わせてシラノール有機溶液の粘度及び塗布時の回転数
を最適化すると、空隙の内部に溶液を浸透させないで、
前記空隙の上部に絶縁膜を形成できるとしている。

【0010】しかし、一般に、素子分離領域（トレンチ
開口径）はデバイスの各領域において様々な寸法となる
ため、実際にはサブハーフミクロン～数十μmの領域に
亘って空隙部を密閉する（つまり、様々なパターン幅の
すべてのトレンチ内にシラノール有機溶液を浸透させな
い）ことは困難である。

【0011】一方、前記特開平8-37230号公報に
記載されている実施例2では、トレンチ幅ではなく空隙
を形成するためのサイドウォール（SW）幅によって、
壁状体と側壁の間の空隙幅が規定されるため、溝幅は異
なっても空隙幅を一定にしておくことで上記の問題点は
解決される。しかし、この場合、トレンチ内の大部分は
空隙ではなく壁状体で形成されるため、空隙を導入した
ことにより得られる誘電率低下の効果が小さくなる問題
があった。

【0012】また、サイドウォール幅を大きくして空隙
部分の体積を増加させると、壁状体が逆テーパ状の形状
となり、微細化を図る上で不安定なプロセスとなるの
で、ウェットエッチング時の倒れ、及び剥がれなどが懸
念される。

【0013】さらに、特開平8-37230号公報に記載
されている方法では、トレンチ形成後、トレンチ内に
形成された空隙を絶縁膜により蓋をするように形成して

いるが、この方法では素子分離領域のデザインルールがトレンチ分離幅ではなく、上にかぶせる絶縁膜の加工寸法で規定されるため、トレンチパターンと絶縁膜のパターンとの合わせ余裕以上のマージン分だけ微細化に関して不利になるという問題もあった。

【0014】本発明の目的は、素子分離構造である空隙領域の形成を安定的に行うことを可能とし、空隙上部の絶縁膜の形成が容易で微細化に適し、且つ、様々な寸法の素子分離構造（中の空隙）を形成することが可能な半導体装置及びその製造方法を提供することを目的とする。

【0015】

【課題を解決するための手段】本発明の半導体装置は、半導体基板上に形成された第1の素子分離構造と第2の素子分離構造とを備え、前記半導体基板には、前記第1の素子分離構造により画定される第1の素子活性領域と前記第2の素子分離構造により画定される第2の素子活性領域を備え、前記第1の素子分離構造は、前記半導体基板上に形成された第1の溝部から構成されており、前記第1の溝部内に形成された第1の空洞領域を備え、前記第2の素子分離構造は、絶縁膜からなる素子分離構造、電極を備えたフィールドシールド素子分離構造の何れか一方の素子分離構造で構成されている。

【0016】本発明の半導体装置の一態様例においては、前記第1の溝部を含む前記半導体基板上に形成された第1の絶縁膜と、前記第1の溝部上の前記第1の絶縁膜に形成された第2の空洞領域を備え、前記第1、第2の空洞領域が連結することにより空洞領域が形成されている。

【0017】本発明の半導体装置の一態様例においては、前記第1の溝部上の前記第1の絶縁膜に形成された第2の溝部を有し、前記第1の絶縁膜と、前記第2の溝部内に形成された導電膜により、前記空洞領域が密閉されている。

【0018】本発明の半導体装置の一態様例においては、前記第1、第2の素子活性領域の一方の領域が、メモリセル形成領域であって、前記第1、第2の素子活性領域の他方の領域が、周辺回路形成領域である。

【0019】本発明の半導体装置の一態様例においては、前記半導体基板内の少なくとも一部の領域に絶縁層が形成されている。

【0020】本発明の半導体装置は、半導体基板上に形成された第1の溝部と、前記第1の溝部を含む前記半導体基板上に形成された第1の絶縁膜と、少なくとも一部の第1の溝部内に形成された空洞領域を備え、前記第1の溝部上の前記第1の絶縁膜に形成された第2の溝部を有し、前記第1の絶縁膜と、前記第2の溝部内に形成された導電膜により、前記空洞領域が密閉されている。

【0021】本発明の半導体装置は、半導体基板上に形成された溝と、前記溝を含む前記半導体基板上に形成され

た第1の絶縁膜と、前記溝上の第1の絶縁膜に形成された第1の空隙領域と、少なくとも一部の第1の溝部内に形成された第2の空隙領域とを有し、前記第1及び第2の空隙領域が連結して空洞領域が構成されている。

【0022】本発明の半導体装置の一態様例においては、前記第1の絶縁膜上に第2の絶縁膜が形成され、前記第2の絶縁膜により前記空洞領域が密閉されている。

【0023】本発明の半導体装置の一態様例においては、前記第2の絶縁膜の膜厚は、前記第1の空隙領域の幅以上である。

【0024】本発明の半導体装置の一態様例においては、前記第1の絶縁膜に前記第2の空隙領域に達する開口部を備えている。

【0025】本発明の半導体装置の一態様例においては、前記第1の絶縁膜上に第2の絶縁膜が形成され、前記第1の絶縁膜の膜厚は、前記開口部の幅以上である。

【0026】本発明の半導体装置の一態様例においては、一部の領域における前記溝には第3の絶縁膜が充填されている。

【0027】本発明の半導体装置の一態様例においては、前記半導体基板内の少なくとも一部の領域に第4の絶縁膜を備えている。

【0028】本発明の半導体装置の一態様例においては、前記溝の底部の一部が前記第4の絶縁膜の一部に形成されている。

【0029】本発明の半導体装置の一態様例においては、前記半導体基板が、SOI、SIMOXの内、いずれか一方の基板である。

【0030】本発明の半導体装置の一態様例においては、前記第2の空隙領域下以外の実質的な領域に前記第4の絶縁膜を備えている。

【0031】本発明の半導体装置の一態様例においては、前記第1の絶縁膜上に導電膜が形成され、前記導電膜により前記空洞領域が密閉されている。

【0032】本発明の半導体装置の一態様例においては、前記半導体基板には、少なくとも一部の第1の溝により画定された素子活性領域を備えている。

【0033】本発明の半導体装置は、半導体基板上に形成された溝と、前記溝を含む前記半導体基板上に形成された層間絶縁膜と、少なくとも一部の第1の溝内に形成された第1のホールと、前記溝上の前記層間絶縁膜に形成された第1のホールと、前記第1のホールと前記空洞領域とが連結して構成されている。

【0034】本発明の半導体装置の一態様例においては、前記第1のホール内に形成された導電膜を有し、前記導電膜により前記空洞領域が密閉されている。

【0035】本発明の半導体装置の一態様例においては、前記半導体基板表層上に形成された不純物拡散層と、前記不純物拡散層上の前記層間絶縁膜に形成された第2のホールとを有し、前記第2のホールの底部が、前

記不純物拡散層の表層となり、前記第2のホール内に形成された導電膜を有し、前記不純物拡散層と前記導電膜とが電氣的に接続されている。

【0036】本発明の半導体装置の一態様例においては、前記半導体基板表層上に形成された不純物拡散層と、前記第1のホール内に形成された第1の導電膜とを有し、前記第1の導電膜により、前記空洞領域が密閉されており、前記不純物拡散層上の前記層間絶縁膜に形成された第2のホールを有し、前記第2のホールの底部が、前記不純物拡散層の表層となり、前記第2のホール内に形成された第2の導電膜を有し、前記不純物拡散層と前記第2の導電膜とが電氣的に接続されている。

【0037】本発明の半導体装置の一態様例においては、前記半導体基板上にメモリセル領域と、周辺回路領域を備え、前記空隙領域は少なくとも前記メモリセル領域と前記周辺回路領域との境界部に形成されている。

【0038】本発明の半導体装置の一態様例においては、前記空隙領域により前記周辺回路領域の素子分離が成されている。

【0039】本発明の半導体装置の一態様例においては、前記半導体基板の一部の領域における前記溝には絶縁膜が充填されており、前記空隙領域とともに前記絶縁膜が前記素子分離構造として機能する。

【0040】本発明の半導体装置の一態様例においては、前記半導体基板は半導体基体上に絶縁層を介して半導体層が形成されてなる半導体基板であって、前記溝が前記絶縁層に達するように形成されており、前記空隙領域と前記絶縁層が接続されている。

【0041】本発明の半導体装置の製造方法は、半導体基板の素子分離領域に溝を形成する第1の工程と、前記溝内に選択的に酸化膜を形成した後、窒化膜を前記溝内に埋設する第2の工程と、前記溝を含む前記半導体基板の全面を覆うように層間絶縁膜を形成する第3の工程と、前記層間絶縁膜上に珪素膜を堆積する第4の工程と、前記窒化膜の表層に到達する開口部を前記珪素膜及び前記層間絶縁膜に形成する第5の工程と、前記窒化膜をウェットエッチング法により前記開口部から除去する第6の工程と、前記珪素膜を熱酸化して前記開口部を密閉する工程であって、前記溝内及び前記層間絶縁膜の開口領域に形成された空洞領域を密閉する第7の工程とを有する。

【0042】本発明の半導体装置の製造方法は、半導体基板の素子分離領域に溝を形成する第1の工程と、前記溝内に選択的に熱酸化膜を形成した後、第1の窒化膜を前記溝に埋設する第2の工程と、前記半導体基板の全面に層間絶縁膜、珪素膜、第2の窒化膜を順次堆積する第3の工程と、少なくとも前記第2の窒化膜に第1の開口部を形成する第4の工程と、前記第2の窒化膜上に第3の窒化膜を形成する第5の工程と、前記第3の窒化膜をエッチバックすることにより、前記第2の窒化膜の側壁

に第3の窒化膜からなるサイドウォール窒化膜を形成する第6の工程と、前記第2の窒化膜及び前記サイドウォール窒化膜をマスクにして、前記第1の窒化膜の表層が露出するまで前記珪素膜と前記層間絶縁膜とを順次エッチングして、前記第1の窒化膜の表層を底面とする第2の開口部を形成する第7の工程と、前記第1の窒化膜、第2の窒化膜及び前記サイドウォール窒化膜をウェットエッチング法により除去する第8の工程とを有する。

【0043】本発明の半導体装置の製造方法は、半導体基板の素子分離領域に溝を形成する第1の工程と、前記溝内に窒化膜を埋設する第2の工程と、前記溝により画定される前記半導体基板の素子活性領域に半導体素子を形成する第3の工程と、前記溝上及び前記半導体素子上を含む前記半導体基板の全面を覆うように層間絶縁膜を形成する第4の工程と、前記窒化膜の表層に到達する第1の開口部と前記半導体素子における前記半導体基板の表層に到達する第2の開口部とともに前記層間絶縁膜に形成する第5の工程と、前記窒化膜をウェットエッチング法により前記第1の開口部から除去して、前記溝内を空隙領域とする第6の工程と、前記第1の開口部内に導電膜を埋め込んで前記空隙領域を密閉するとともに、前記第2の開口部内に前記導電膜を埋め込んで前記半導体素子と前記導電膜を電氣的に接続する第7の工程とを有する。

【0044】本発明の半導体装置の製造方法は、半導体基板の素子分離領域に溝を形成する第1の工程と、前記溝内に窒化膜を埋設する第2の工程と、前記溝により画定される前記半導体基板の素子活性領域に半導体素子を形成する第3の工程と、前記溝上及び前記半導体素子上を含む前記半導体基板の全面を覆うように層間絶縁膜を形成する第4の工程と、前記窒化膜の表層に到達する第1の開口部を前記層間絶縁膜に形成する第5の工程と、前記窒化膜をウェットエッチング法により前記第1の開口部から除去して、前記溝内を空隙領域とする第6の工程と、前記半導体素子における前記半導体基板の表層に到達する第2の開口部を前記層間絶縁膜に形成する第7の工程と、前記第1の開口部内に導電膜を埋め込んで前記空隙領域を密閉するとともに、前記第2の開口部内に前記導電膜を埋め込んで前記半導体素子と前記導電膜を電氣的に接続する第8の工程とを有する。

【0045】

【作用】本発明においては、溝内に埋め込まれ上層を層間絶縁膜に覆われた窒化膜を、層間絶縁膜に形成された開口部から除去するため、溝と層間絶縁膜との間に安定的に空隙領域を形成することができる。

【0046】また、本発明においては、珪素膜を酸化することによって空隙領域を容易に密閉することが可能で、様々な寸法の空隙領域（素子分離構造）に対しても、例えば窒化膜を除去するための開口部の数を増やして対応することができる。

【0047】また、本発明においては、素子活性領域に形成された半導体素子と電気的に接続する配線層である導電膜を形成すると同時に、この導電膜を用いて空隙領域を密閉することができる。

【0048】

【発明の実施の形態】

（第1の実施形態）以下、第1の実施形態として本発明に係わる半導体装置の製造方法を、NチャンネルMOSトランジスタに適用した例を挙げて、図面を参照しながら具体的に説明する。

【0049】図1(a)に示すように、p型半導体基板11の表面に熱酸化膜法によりパッド酸化膜12を膜厚30[nm]で形成する。その上に、CVD法によりポリシリコン膜13とシリコン窒化膜14をそれぞれ膜厚100[nm]と50[nm]堆積する。

【0050】その後、フォトリソグラフィ技術及びエッチング技術により、素子形成領域を覆うようにポリシリコン膜13及びシリコン窒化膜14をパターニングする。すなわち、素子分離領域に形成されたポリシリコン膜13及びシリコン窒化膜14を除去する。

【0051】次に、シリコン窒化膜14をマスクとして、素子分離領域のパッド酸化膜12をエッチングして除去する。その後、同じくシリコン窒化膜14をマスクとして、素子分離領域の半導体基板11をエッチングして、深さ300[nm]、幅300[nm]のトレンチ15を半導体基板11に形成する。

【0052】次いで、図1(b)に示すように、熱酸化法により、前記トレンチ15内の半導体基板11に選択的に熱酸化膜16を膜厚10[nm]形成する。その後、CVD法により、トレンチ15を含む半導体基板11上にシリコン窒化膜17を膜厚150~200[nm]堆積する。

【0053】次いで、図1(c)に示すように、反応性イオンエッチング(RIE)法により、シリコン窒化膜17をポリシリコン膜13が露出(表出)するまでエッチバックする。その結果、前記トレンチ15の内部のみに前記シリコン窒化膜17を埋設することが可能となる。さらに、RIE法により、ポリシリコン膜13をエッチバックして完全に除去する。

【0054】次いで、図2(a)に示すように、半導体基板11上にシリコン酸化膜を膜厚150[nm]堆積する。その後、RIE法により、このシリコン酸化膜をエッチバックすることにより、シリコン窒化膜17の側壁にシリコン酸化膜からなるサイドウォール酸化膜18を形成するとともに、素子形成領域に形成されていたシリコン酸化膜12を除去する。

【0055】次いで、図2(b)に示すように、熱酸化法により、半導体基板11の素子形成領域上にゲート酸化膜19を形成する。その後、CVD法により、ゲート酸化膜19上に、リン(P)がドーパされたポリシリコン

からなるゲート電極20及びキャップ酸化膜21を順次堆積する。その後、フォトリソグラフィ技術及びエッチング技術により、キャップ酸化膜21、ゲート電極20、及びゲート酸化膜19を順次パターニングする。

【0056】その後、半導体基板11上にシリコン酸化膜22を堆積した後、RIE法により、このシリコン酸化膜22をエッチバックすることにより、ゲート電極20の側壁にシリコン酸化膜からなるサイドウォール酸化膜22を形成する。更に、素子形成領域に形成されたキャップ酸化膜21をマスクとして、素子形成領域の半導体基板11にn型不純物、例えば、砒素をイオン注入する。

【0057】その結果、半導体基板11の素子形成領域の表層に砒素イオン注入層を自己整合的に形成することができる。次に、半導体基板11に熱処理を施すことにより、砒素イオン注入層を活性化させ、ゲート電極の両側の半導体基板11の表層に砒素イオン注入層からなるn⁺型のソース領域23およびドレイン領域24を形成する。

20 【0058】次いで、図2(c)に示すように、CVD法により半導体基板11の全面にBPSG膜25を膜厚450[nm]堆積する。その後、半導体基板11に熱処理(例えば、温度:850[°C]、時間:30[mi
n])を施すことにより、BPSG膜25の表層を平坦化する。その後、CVD法により、BPSG膜25上にポリシリコン膜26を膜厚100[nm]、シリコン窒化膜27を膜厚100[nm]を順次堆積する。

30 【0059】次いで、図3(a)に示すように、フォトリソグラフィ技術及びエッチング技術により、シリコン窒化膜27をパターニングすることにより、シリコン窒化膜17上のシリコン窒化膜27に直径300[nm]の開孔部(ホール)を形成する。更に、半導体基板11の全面にシリコン窒化膜28を膜厚100[nm]で堆積する。

【0060】次に、RIE法により、シリコン窒化膜28をエッチバックすることにより、シリコン窒化膜27の側壁にシリコン窒化膜28からなるサイドウォール窒化膜28を形成する。次いで、これらのシリコン窒化膜27とサイドウォール窒化膜28をマスクとして、ポリシリコン膜26及びBPSG膜25を順次エッチングすることにより、シリコン窒化膜17の表層に到達する開口部29(直径100[nm])をポリシリコン膜26及びBPSG膜25に形成する。

【0061】次いで、図3(b)に示すように、ウェットエッチング法により、例えば、H₃PO₄溶液等のエッチング溶液を使用し、シリコン窒化膜17、27、28を除去する。その結果、トレンチ15内に空洞(空隙)領域を形成する。

50 【0062】このように、トレンチ15内に埋め込まれ上層をBPSG膜25に覆われたシリコン窒化膜17

を、開口部29から除去するため、トレンチ15とBP SG膜25との間に安定的に空洞領域を形成することができる。また、素子分離構造のデザインルールは形成された空洞領域の幅そのものであるため、素子の微細化にも適している。

【0063】その後、ポリシリコン膜26に熱酸化を施すことにより、開口部29の上部領域のポリシリコン膜26を熱酸化膜30と成して開口部29が密閉される。このように、予め形成しておいたポリシリコン膜26を熱酸化することによって、開口部29が多数個形成され

ても容易に密閉することができる。

【0064】なお、図示しないが半導体基板11、ゲー*

| T [μm] | D [μm] |
|---------------------|---------------------|
| 0.1 | 0.12 |
| 0.2 | 0.24 |
| 0.3 | 0.32 |
| 0.4 | 0.44 |

【0067】以上の結果から、ポリシリコン膜26の膜厚Tは、開口部直径D以上であれば充分であることがわかる。

【0068】以上説明したように、本発明の第1の実施形態に係る半導体装置の製造方法は、半導体基板11上に熱酸化膜12を形成し、この熱酸化膜12と半導体基板11を開口して、トレンチ15を形成する。その後、このトレンチ15の内壁に熱酸化膜16を形成した後、シリコン窒化膜17を前記トレンチ15内に埋設させてトレンチ分離層を形成する。

【0069】次いで、半導体基板11の素子形成領域にMOS型トランジスタを形成した後、半導体基板11の全面にBP SG膜25を堆積する。その後、BP SG膜25の表層を平坦化する。次に、BP SG膜25上にポリシリコン膜26及びシリコン窒化膜27を順次堆積する。

【0070】次いで、前記トレンチ15内に埋設したシリコン窒化膜17上に位置するシリコン窒化膜27を選択的に除去し、シリコン窒化膜17上に開口部29を形成する。次に、この埋設したシリコン窒化膜17及び前記シリコン窒化膜27をウェットエッチング法により除去することにより、トレンチ15と前記開口部29内に空隙を形成する。

【0071】次いで、ポリシリコン膜26を熱酸化して熱酸化膜30を形成し、前記熱酸化膜30で前記トレンチ15と開口部29の上部を密閉して空洞領域（ほぼ真空となる領域）を形成することにより、素子分離領域で※50

*ト電極20、ソース23、ドレイン24を適当な電位に設定するために、配線工程を引き続き行うことにより本実施形態に係る半導体装置が製造される。

【0065】なお、開口部29の直径Dとポリシリコン膜26の膜厚Tとの関係については、プロセスシミュレータSUPREM4を用いたシミュレーション結果によると、ポリシリコン膜26の膜厚Tとそれによって開口部29を塞ぐことができる最大の開口直径Dとの関係は、下記の表ようになる。

【0066】

【表1】

※の寄生容量を低減させることができ、素子分離能力の向上を図ることが可能となる。

【0072】（第2の実施形態）次に、本発明の第2の実施形態を、図4、図5（a）～図8及び図9（a）～図10（c）を参照しながら具体的に説明する。図4は第2の実施形態に係るNチャンネルMOSトランジスタの概略平面図を示しており、図5（a）～図8及び図9（a）～図10（c）は、図4におけるI-I線に沿った断面を工程順に示したものである。第2の実施形態は第1の実施形態と同様に本発明をNチャンネルMOSトランジスタに適用した例であるが、空洞領域を密閉する工程と、ソース/ドレイン拡散層への配線層を形成する工程を同時に行うことによって工程数を削減した点を特徴としている。なお、第2の実施形態において、第1の実施形態で示したNチャンネルMOSトランジスタの構成要素等に対応する部材等については同一符号を記す。

【0073】まず、図5（a）に示すように、p型半導体基板11の表面に熱酸化膜法によりパッド酸化膜12を膜厚30[nm]で形成する。その上に、CVD法によりポリシリコン膜13とシリコン窒化膜14をそれぞれ膜厚100[nm]と50[nm]堆積する。

【0074】その後、フォトリソグラフィ技術及びエッチング技術により、素子形成領域を覆うようにポリシリコン膜13及びシリコン窒化膜14をパターニングする。すなわち、素子分離領域に形成されたポリシリコン膜13及びシリコン窒化膜14を除去する。

【0075】次に、シリコン窒化膜14をマスクとし

15

て、素子分離領域のパッド酸化膜12をエッチングして除去する。その後、同じくシリコン窒化膜14をマスクとして、素子分離領域の半導体基板11をエッチングして、深さ300[nm]、幅300[nm]のトレンチ15を半導体基板11に形成する。

【0076】次いで、図5(b)に示すように、熱酸化法により、前記トレンチ15内の半導体基板11に選択的に熱酸化膜16を膜厚10[nm]形成する。その後、CVD法により、トレンチ15を含む半導体基板11上にシリコン窒化膜17を膜厚150~200[nm]堆積する。

【0077】次いで、図5(c)に示すように、反応性イオンエッチング(RIE)法により、シリコン窒化膜17をポリシリコン膜13が露出(表出)するまでエッチバックする。その結果、前記トレンチ15の内部のみに前記シリコン窒化膜17を埋設することが可能となる。さらに、RIE法により、ポリシリコン膜13をエッチバックして完全に除去する。

【0078】次いで、図6(a)に示すように、半導体基板11上にシリコン窒化膜を膜厚150[nm]堆積する。その後、RIE法により、このシリコン酸化膜をエッチバックすることにより、シリコン窒化膜17の側壁にシリコン窒化膜からなるサイドウォール窒化膜39を形成するとともに、素子形成領域に形成されていたシリコン酸化膜12を除去する。

【0079】次いで、図6(b)に示すように、熱酸化法により、半導体基板11の素子形成領域上にゲート酸化膜19を形成する。その後、CVD法により、ゲート酸化膜19上に、磷(P)がドーパされたポリシリコンからなるゲート電極20及びキャップ酸化膜21を順次堆積する。その後、フォトリソグラフィ技術及びエッチング技術により、キャップ酸化膜21、ゲート電極20、及びゲート酸化膜19を順次パターニングする。

【0080】その後、半導体基板11上にシリコン酸化膜22を堆積した後、RIE法により、このシリコン酸化膜22をエッチバックすることにより、ゲート電極20の側壁にシリコン酸化膜からなるサイドウォール酸化膜22を形成する。更に、素子形成領域に形成されたキャップ酸化膜21をマスクとして、素子形成領域の半導体基板11にn型不純物、例えば、砒素をイオン注入する。

【0081】その結果、半導体基板11の素子形成領域の表層に砒素イオン注入層を自己整合的に形成することができる。次に、半導体基板11に熱処理を施すことにより、砒素イオン注入層を活性化させ、ゲート電極の両側の半導体基板11の表層に砒素イオン注入層からなるn⁺型のソース領域23およびドレイン領域24を形成する。

【0082】次いで、図6(c)に示すように、CVD法により半導体基板11の全面にBPSG膜25を膜厚

16

450[nm]堆積する。その後、半導体基板11に熱処理(例えば、温度:850[℃]、時間:30[mi n])を施すことにより、BPSG膜25の表層を平坦化する。その後、CVD法により、BPSG膜25上にシリコン窒化膜27を膜厚100[nm]を堆積する。

【0083】次いで、図7(a)に示すように、フォトリソグラフィ技術及びエッチング技術により、シリコン窒化膜27をパターニングすることにより、シリコン窒化膜17上のシリコン窒化膜27に直径300[nm]の開口部(ホール)を形成し、同時にソース拡散層23上及びドレイン拡散層24上に相当する位置にも開口部を形成する。更に、半導体基板11の全面にシリコン窒化膜28を膜厚100[nm]で堆積する。

【0084】そして、RIE法により、シリコン窒化膜28をエッチバックすることにより、シリコン窒化膜27の開口部の側壁にシリコン窒化膜28からなるサイドウォール窒化膜28を形成する。次いで、これらのシリコン窒化膜27とサイドウォール窒化膜28をマスクとして、BPSG膜25をエッチングすることにより、シリコン窒化膜17の表層に到達する開口部29(直径100[nm])と、ソース層23及びドレイン層24の表層に到達する開口部32、33をBPSG膜25に形成する。

【0085】次いで、図7(b)に示すように、ウェットエッチング法により、例えば、H₃PO₄溶液等のエッチング溶液を使用し、シリコン窒化膜17、27、28及びサイドウォール窒化膜39を除去する。その結果、トレンチ15内に空洞(空隙)領域を形成する。

【0086】この第2の実施形態では、半導体基板11上に突出したシリコン窒化膜17の側壁をサイドウォール窒化膜39で覆っているため、シリコン窒化膜17に対する開口部29の水平方向の位置の許容範囲を広くとることが可能となる。従って、開口部29の位置が多少ずれても、サイドウォール窒化膜39を介して確実にシリコン窒化膜17を除去することができる。

【0087】次いで、図7(b)に示すように、スパッタ法あるいはCVD法によって、全面に厚さ100[nm]程度のチタン膜(Ti)膜36を形成する。このチタン膜36はソース層23及びドレイン層24の表層に形成されることにより、配線層の接触抵抗を下げる効果を奏する。また、開口部29を通過したチタン膜36は、僅かではあるがトレンチ15の底面にも堆積される。

【0088】その後、スパッタ法あるいはCVD法によって、全面に厚さ20[nm]程度の窒化チタン膜(TiN)膜37を形成する。この窒化チタン膜37は配線層の拡散、侵食の防止と密着性向上の効果を有し、ソース層23の表層、ドレイン層24の表層及び開口部29、32、33の側壁に形成されたチタン膜36の表層上に形成される。また、チタン膜36と同様に開口部2

17

9を通過した窒化チタン膜37は、トレンチ15の底面に形成された窒化チタン膜36上にも堆積される。

【0089】次いで、図7(c)に示すように、CVD法により全面に厚さ400[nm]程度の配線層であるタングステン(W)膜38を形成する。このタングステン膜38によって開口部29を埋めるとともに、開口部32、33も埋めることができる。従って、空洞領域を塞いで完成させると同時に、ソース拡散層23及びドレイン拡散層24と導通する配線層を形成することができる。

【0090】その後、図8に示すように、BPSG膜25上のタングステン膜38を所定の配線パターンに加工することによって、NチャンネルMOSトランジスタを完成させる。

【0091】以上説明したように、本発明の第2の実施形態に係る半導体装置の製造方法は、半導体基板11上に熱酸化膜12を形成し、この熱酸化膜12と半導体基板11を開口して、トレンチ15を形成する。その後、このトレンチ15の内壁に熱酸化膜16を形成した後、シリコン窒化膜17を前記トレンチ15内に埋設させてトレンチ分離層を形成する。

【0092】次いで、半導体基板11の素子形成領域にMOS型トランジスタを形成した後、半導体基板11の全面にBPSG膜25を堆積する。その後、BPSG膜25の表層を平坦化する。次に、BPSG膜25上にシリコン窒化膜27を順次堆積する。

【0093】次いで、前記トレンチ15内に埋設したシリコン窒化膜17上、ソース拡散層23上及びドレイン拡散層24上に位置するシリコン窒化膜27を選択的に除去し、シリコン窒化膜17上に開口部を形成する。次に、この埋設したシリコン窒化膜17及び前記シリコン窒化膜27をウェットエッチング法により除去することにより、トレンチ15と前記開口部29内に空隙を形成し、同時にMOSトランジスタのソース拡散層23上及びドレイン拡散層24に達する開口32、33を形成する。

【0094】次いで、チタン膜36、窒化チタン膜37を順に形成した後、タングステン膜38を形成して開口部29の上部を密閉して空洞領域(ほぼ真空となる領域)を形成し、同時にソース拡散層23上及びドレイン拡散層24に電気的に接続する配線層を形成する。

【0095】その後、BPSG膜25上のタングステン膜38を所定の配線パターンに加工することによって、NチャンネルMOSトランジスタを完成させる。

【0096】このように構成した第2の実施形態においては、タングステン膜38を形成して空洞領域を塞ぐとともに、ソース拡散層23及びドレイン拡散層24に対して電気的に接続される配線層を同時に形成することができる。従って、空洞領域を塞ぐための工程を省略することができ、NチャンネルMOSトランジスタ形成にお

18

ける全体での工程数を削減することができる。

【0097】なお、第2の実施形態において図7(a)に示す開口部29、32、33の形成は同時に行ったが、別の工程で形成しても良い。この場合の図6(c)以降の製造工程を変形例として図9(a)～図10(c)に示す。

【0098】図9(a)に示すように、フォトリソグラフィ技術及びエッチング技術により、シリコン窒化膜27をパターニングすることにより、シリコン窒化膜17上に相当する位置でシリコン窒化膜27に直径300[nm]の開口部(ホール)を形成する。更に、半導体基板11の全面にシリコン窒化膜28を膜厚100[nm]で堆積する。

【0099】そして、RIE法により、シリコン窒化膜28をエッチバックすることにより、シリコン窒化膜27の開口部31の側壁にシリコン窒化膜28からなるサイドウォール窒化膜28を形成する。次いで、これらのシリコン窒化膜27とサイドウォール窒化膜28をマスクとして、BPSG膜25をエッチングすることにより、シリコン窒化膜17の表層に到達する開口部29(直径100[nm])をBPSG膜25に形成する。

【0100】次いで、図9(b)に示すように、ウェットエッチング法により、例えば、H₃PO₄溶液等のエッチング溶液を使用し、シリコン窒化膜17、27、28及びサイドウォール窒化膜39を除去する。その結果、トレンチ15内に空洞(空隙)領域を形成する。

【0101】次いで、図9(c)に示すように、フォトリソグラフィ及びこれに続くドライエッチングにより、ソース層23及びドレイン層24の上層に開口部を有するレジスト膜40を形成する。そして、このレジスト膜40をマスクとしてBPSG膜25をエッチングすることによって、ソース層23及びドレイン層24の表層に到達する開口部32、33を形成する。

【0102】次いで、レジスト膜40を灰化処理によって除去した後、図10(a)に示すように、スパッタ法あるいはCVD法によって、全面に厚さ100[nm]程度のチタン膜36を形成する。その後、スパッタ法あるいはCVD法によって、全面に厚さ20[nm]程度の窒化チタン膜37を形成する。

【0103】次いで、図10(b)に示すように、CVD法により全面に厚さ400[nm]程度のタングステン(W)膜38を形成する。このタングステン膜38によって開口部29を埋めるとともに、開口部32、33も埋めることができる。従って、空洞領域を完成させると同時にソース拡散層23及びドレイン拡散層24と導通する配線層を形成することができる。

【0104】その後、図10(c)に示すように、BPSG膜25上のタングステン膜38を所定の配線パターンに加工することによって、NチャンネルMOSトランジスタを完成させる。

【0105】このように構成した第2の実施形態の変形例によれば、シリコン窒化膜17をエッチングして除去する際、ソース拡散層23及びドレイン拡散層24上にはBPSG膜25が形成されたままであるため、エッチングによるソース拡散層23及びドレイン拡散層24へのダメージを防止することができる。

【0106】(第3の実施形態)次に、本発明の第3の実施形態を、図11及び図12(a)～図15を参照しながら具体的に説明する。図11は第3の実施形態に係るNチャンネルMOSトランジスタの平面構成を示す模式図であり、図12(a)～図15は図11におけるI-I'線に沿った断面を工程順に示したものである。第3の実施形態は第1の実施形態と同様に本発明をNチャンネルMOSトランジスタに適用した例であるが、空洞領域による素子分離構造と、トレンチ型素子分離構造を同一半導体基板上に併存させた点を特徴としている。なお、第3の実施形態において、第1の実施形態及び第2の実施形態で示したNチャンネルMOSトランジスタの構成要素等に対応する部材等については同一符号を記す。

【0107】まず、図12(a)に示すように、p型半導体基板11の表面に熱酸化膜法によりパッド酸化膜12を膜厚30[nm]で形成する。その上に、CVD法によりポリシリコン膜13とシリコン窒化膜14をそれぞれ膜厚100[nm]と50[nm]堆積する。

【0108】その後、フォトリソグラフィ技術及びエッチング技術により、素子形成領域を覆うようにポリシリコン膜13及びシリコン窒化膜14をパターニングする。すなわち、素子分離領域に形成されたポリシリコン膜13及びシリコン窒化膜14を除去する。

【0109】次に、シリコン窒化膜14をマスクとして、素子分離領域のパッド酸化膜12をエッチングして除去する。その後、同じくシリコン窒化膜14をマスクとして、素子分離領域の半導体基板11をエッチングして、深さ300[nm]、幅300[nm]のトレンチ15を半導体基板11に形成する。

【0110】次いで、図12(b)に示すように、熱酸化法により、前記トレンチ15内の半導体基板11に選択的に熱酸化膜16を膜厚10[nm]形成する。その後、CVD法により、トレンチ15を含む半導体基板11上にシリコン窒化膜17を膜厚150～200[nm]堆積する。

【0111】次いで、図12(c)に示すように、反応性イオンエッチング(RIE)法により、シリコン窒化膜17をポリシリコン膜13が露出(表出)するまでエッチバックする。その結果、前記トレンチ15の内部のみに前記シリコン窒化膜17を埋設することが可能となる。さらに、RIE法により、ポリシリコン膜13をエッチバックして完全に除去する。

【0112】次いで、図13(a)に示すように、半導

体基板11上にシリコン窒化膜を膜厚150[nm]堆積する。その後、RIE法により、このシリコン窒化膜をエッチバックすることにより、シリコン窒化膜17の側壁にシリコン窒化膜からなるサイドウォール窒化膜39を形成するとともに、素子形成領域に形成されていたシリコン窒化膜12を除去する。

【0113】次いで、図13(b)に示すように、熱酸化法により、半導体基板11の素子形成領域上にゲート酸化膜19を形成する。その後、CVD法により、ゲート酸化膜19上に、リン(P)がドーパされたポリシリコンからなるゲート電極20及びキャップ酸化膜21を順次堆積する。その後、フォトリソグラフィ技術及びエッチング技術により、キャップ酸化膜21、ゲート電極20、及びゲート酸化膜19を順次パターニングする。

【0114】その後、半導体基板11上にシリコン酸化膜22を堆積した後、RIE法により、このシリコン酸化膜22をエッチバックすることにより、ゲート電極20の側壁にシリコン酸化膜からなるサイドウォール酸化膜22を形成する。更に、素子形成領域に形成されたキャップ酸化膜21をマスクとして、素子形成領域の半導体基板11にn型不純物、例えば、砒素をイオン注入する。

【0115】その結果、半導体基板11の素子形成領域の表層に砒素イオン注入層を自己整合的に形成することができる。次に、半導体基板11に熱処理を施すことにより、砒素イオン注入層を活性化させ、ゲート電極の両側の半導体基板11の表層に砒素イオン注入層からなるn⁺型のソース領域23およびドレイン領域24を形成する。また、ゲート電極の両側以外の半導体基板11の表層にp型不純物拡散層41を形成する。このp型不純物拡散層41の形成方法は、ゲート電極とソース領域23とドレイン領域24を含む半導体基板11上を覆うレジスト膜(不図示)を形成し、それ以外の領域はレジスト膜を除去しておく。そして、このレジスト膜をマスクとして半導体基板11の表層にp型の不純物を導入することにより形成する。不純物拡散層41の形成後、レジスト膜は除去する。

【0116】次いで、図13(c)に示すように、CVD法により半導体基板11の全面にBPSG膜25を膜厚450[nm]堆積する。その後、半導体基板11に熱処理(例えば、温度:850[℃]、時間:30[min])を施すことにより、BPSG膜25の表層を平坦化する。その後、CVD法により、BPSG膜25上にシリコン窒化膜27を膜厚100[nm]を堆積する。

【0117】次いで、図14(a)に示すように、フォトリソグラフィ技術及びエッチング技術により、シリコン窒化膜27をパターニングすることにより、シリコン窒化膜17上のシリコン窒化膜27に直径300[nm]の開口部(ホール)を形成しする。この際、第2の

21

実施形態と異なり図14(a)において右側の領域のシリコン窒化膜27には開口部は形成しない。その後、半導体基板11の全面にシリコン窒化膜28を膜厚100[nm]で堆積する。

【0118】そして、RIE法により、シリコン窒化膜28をエッチバックすることにより、シリコン窒化膜27の開口部の側壁にシリコン窒化膜28からなるサイドウォール窒化膜28を形成する。次いで、これらのシリコン窒化膜27とサイドウォール窒化膜28をマスクとして、BPSG膜25をエッチングすることにより、シリコン窒化膜17の表層に到達する開口部29(直径100[nm])をBPSG膜25に形成する。

【0119】次いで、図14(b)に示すように、ウェットエッチング法により、例えば、 H_3PO_4 溶液等のエッチング溶液を使用し、シリコン窒化膜17、27、28及びサイドウォール窒化膜39を除去する。その結果、トレンチ15内に空洞(空隙)領域が形成されて、この空洞領域によって素子分離が成される。

【0120】ここで、図14(b)の右側の領域のトレンチ15を充填したシリコン窒化膜17及びサイドウォール窒化膜39は除去されないため、シリコン窒化膜17によって素子分離が成される。

【0121】図11は、素子分離が成された半導体基板11を示す平面図である。ここで、図11は熱酸化膜30及びBPSG膜25を省略した模式図である。このように、図11の右側の領域では、トレンチ15を埋設したシリコン窒化膜17によって素子分離が成され、左側の領域では空洞領域によって素子分離が成される。また、これらの異なる素子分離構造の境界には、不純物拡散層41が形成されている。

【0122】この第3の実施形態においても、半導体基板11上に突出したシリコン窒化膜17の側壁をサイドウォール窒化膜39で覆っているため、シリコン窒化膜17に対する開口部29の水平方向の位置の許容範囲を広くとることが可能となる。従って、開口部29の位置が多少ずれても、サイドウォール窒化膜39を介して確実にシリコン窒化膜17を除去することができる。

【0123】その後、ポリシリコン膜26に熱酸化を施すことにより、開口部29の上部領域のポリシリコン膜26を熱酸化膜30と成して開口部29が密閉される。このように、予め形成しておいたポリシリコン膜26を熱酸化することによって、開口部29が多数個形成されていても容易に密閉することができる。

【0124】次に、図15に示すように、フォトリソグラフィ及びこれに続くドライエッチングにより、熱酸化膜30及びBPSG膜25を選択的に除去して、不純物拡散層41に到達する開口部42を形成する。そして、スパッタ法によりアルミニウム膜を形成し、パターニングすることにより、不純物拡散層41と接続されるアルミニウム配線層43を形成する。

22

【0125】ここで、アルミニウム配線層43から不純物拡散層41を介して半導体基板11に基板電位を印加することが可能である。

【0126】なお、図示しないが半導体基板11、ゲート電極20、ソース23、ドレイン24を適当な電位に設定するために、配線工程を引き続き行うことにより本実施形態に係る半導体装置が製造される。

【0127】以上説明したように、本発明の第3の実施形態によれば、シリコン窒化膜17を埋設したトレンチ型素子分離構造と、空洞領域からなる素子分離構造を同一半導体基板上に併設することにより、分離能力に応じて素子分離を行うことができる。従って、半導体基板上の特定領域の素子分離能力を高めることが可能である。

【0128】(第4の実施形態)次に、本発明の第4の実施形態を、図16及び図17(a)～図20(b)を参照しながら具体的に説明する。図16は第4の実施形態に係るNチャンネルMOSトランジスタの平面構成を示す模式図であり、図17(a)～図20(b)は図16におけるIII-III線に沿った断面を工程順に示したものである。第3の実施形態は第1の実施形態と同様に本発明をNチャンネルMOSトランジスタに適用した例であるが、半導体基板として、半導体基板上に絶縁層を介して半導体層が設けられてなるSOI基板を用い、空洞領域からなる素子分離構造を、半導体メモリのメモリセル領域と周辺回路領域の境界及び周辺回路領域に設けた点で相違する。なお、第4の実施形態においても、第1～第3の実施形態で示したNチャンネルMOSトランジスタの構成要素等に対応する部材等については同一符号を記す。

【0129】まず、図17(a)に示すように、半導体基体51上に絶縁層52を介してシリコン半導体層53が設けられてなるSOI基板50を用意し、p型のシリコン半導体層53の表面に熱酸化膜法によりパッド酸化膜12を膜厚30[nm]で形成する。その上に、CVD法によりポリシリコン膜13とシリコン窒化膜14をそれぞれ膜厚100[nm]と50[nm]堆積する。

【0130】その後、フォトリソグラフィ技術及びエッチング技術により、素子形成領域を覆うようにポリシリコン膜13及びシリコン窒化膜14をパターニングする。すなわち、素子分離領域に形成されたポリシリコン膜13及びシリコン窒化膜14を除去する。

【0131】次に、シリコン窒化膜14をマスクとして、素子分離領域のパッド酸化膜12をエッチングして除去する。その後、同じくシリコン窒化膜14をマスクとして、素子分離領域のシリコン半導体層53をエッチングして、深さ300[nm]、幅300[nm]のトレンチ15を半導体基板11に形成する。この際、トレンチ15をSOI基板50の絶縁層52に達するように形成する。

【0132】次いで、図17(b)に示すように、熱酸化法により、前記トレンチ15内のシリコン半導体層53に選択的に熱酸化膜16を膜厚10[nm]形成する。その後、CVD法により、トレンチ15を含むSOI基板50上にシリコン窒化膜17を膜厚150~200[nm]堆積する。

【0133】次いで、図17(c)に示すように、反応性イオンエッチング(RIE)法により、シリコン窒化膜14、17をポリシリコン膜13が露出(表出)するまでエッチバックする。その結果、前記トレンチ15の内部のみに前記シリコン窒化膜17を埋設することが可能となる。さらに、RIE法により、ポリシリコン膜13をエッチバックして完全に除去する。

【0134】次に、図18(a)に示すように、表面に露出したパッド酸化膜12を除去した後、シリコン半導体層53の表面を熱処理することにより、フィールドシールドゲート絶縁膜44を形成する。そして、フィールドシールドゲート絶縁膜44上にCVD法により導電性のポリシリコン膜45を形成し、ポリシリコン膜45上にシリコン酸化膜46を形成する。

【0135】その後、フォトリソグラフィ及びこれに続くドライエッチングにより、シリコン酸化膜46及びポリシリコン膜45を共にパターニングする。

【0136】次いで、図18(b)に示すように、SOI基板50上にシリコン酸化膜を膜厚150[nm]程度堆積する。その後、RIE法により、このシリコン酸化膜をエッチバックすることにより、シリコン窒化膜17及びパターニングされたシリコン酸化膜46及びポリシリコン膜45の側壁に、シリコン酸化膜からなるサイドウォール酸化膜18を形成する。ここで、ポリシリコン膜45はシールドプレート電極として機能し、図18(b)に示す左側の領域ではフィールドシールド素子分離構造54により素子分離がなされる。その後、素子形成領域に形成されていたシリコン酸化膜12を除去する。なお、このシールドプレート電極は、ある一定の電極、例えば、接地(Ground)又は1/2V_{cc}電圧に固定することにより素子分離を行う。

【0137】第4の実施形態においては、フィールドシールド素子分離構造54によって素子分離された領域はメモリセル領域として用いられる。

【0138】次いで、図18(c)に示すように、熱酸化法により、シリコン半導体層53の素子形成領域上にゲート酸化膜19を形成する。その後、CVD法により、ゲート酸化膜19上に、燐(P)がドーパされたポリシリコンからなるゲート電極20及びキャップ酸化膜21を順次堆積する。その後、フォトリソグラフィ技術及びエッチング技術により、キャップ酸化膜21、ゲート電極20、及びゲート酸化膜19を順次パターニングする。

【0139】その後、SOI基板50上にシリコン酸化

膜22を堆積した後、RIE法により、このシリコン酸化膜22をエッチバックすることにより、ゲート電極20の側壁にシリコン酸化膜からなるサイドウォール酸化膜22を形成する。更に、素子形成領域に形成されたキャップ酸化膜21をマスクとして、素子形成領域のSOI基板50にn型不純物、例えば、砒素をイオン注入する。

【0140】その結果、シリコン半導体層53の素子形成領域の表層に砒素イオン注入層を自己整合的に形成することができる。次に、SOI基板50に熱処理を施すことにより、砒素イオン注入層を活性化させ、ゲート電極20の両側のシリコン半導体層53の表層に砒素イオン注入層からなるn⁺型のソース領域23およびドレイン領域24を形成する。また、ゲート電極の両側以外のシリコン半導体層53の表層に不純物拡散層41を形成する。なお、ソース領域23及びドレイン領域24の形成方法は、フィールドシールドプレート電極45とトレンチ15の境界領域のシリコン半導体層53の表層をレジスト膜(不図示)で覆ってイオン注入することにより行う。なお、ソース、ドレイン形成後にレジストパターンは除去する。

【0141】次いで、図19(a)に示すように、CVD法によりSOI基板50上の全面にBPSG膜25を膜厚450[nm]堆積する。その後、SOI基板50に熱処理(例えば、温度:850[°C]、時間:30[min])を施すことにより、BPSG膜25の表層を平坦化する。その後、CVD法により、BPSG膜25上にシリコン窒化膜27を膜厚100[nm]を堆積する。

【0142】次いで、図19(b)に示すように、フォトリソグラフィ技術及びエッチング技術により、シリコン窒化膜27をパターニングすることにより、シリコン窒化膜17上のシリコン窒化膜27に直径300[nm]の開口部(ホール)を形成する。その後、SOI基板50の全面にシリコン窒化膜28を膜厚100[nm]で堆積する。

【0143】そして、RIE法により、シリコン窒化膜28をエッチバックすることにより、シリコン窒化膜27の開口部の側壁にシリコン窒化膜28からなるサイドウォール窒化膜28を形成する。次いで、これらのシリコン窒化膜27とサイドウォール窒化膜28をマスクとして、BPSG膜25をエッチングすることにより、シリコン窒化膜17の表層に到達する開口部29(直径100[nm])をBPSG膜25に形成する。

【0144】次いで、図20(a)に示すように、ウェットエッチング法により、例えば、H₃PO₄溶液等のエッチング溶液を使用し、シリコン窒化膜17、27、28及びサイドウォール窒化膜39を除去する。その結果、トレンチ15内に空洞(空隙)領域が形成されて、この空洞領域によって素子分離が成される。

【0145】ここで、空洞領域によって素子分離された領域は、メモリセルの周辺回路領域として用いられる。

【0146】図16は、素子分離が成されたSOI基板50を示す平面図である。ここで、図16は熱酸化膜30及びBPSG膜25を省略した模式図である。このように、図16の右側の領域では、トレンチ15内に形成された空洞領域によって素子分離が成され、左側の領域ではフィールドシールド素子分離構造54によって素子分離が成される。また、これらの異なる素子分離構造の境界には、不純物拡散層41が形成されている。

【0147】その後、ポリシリコン膜26に熱酸化を施すことにより、開口部29の上部領域のポリシリコン膜26を熱酸化膜30と成して開口部29が密閉される。このように、予め形成しておいたポリシリコン膜26を熱酸化することによって、開口部29が多数個形成されていても容易に密閉することができる。

【0148】次に、図20(b)に示すように、フォトリソグラフィ及びこれに続くドライエッチングにより、熱酸化膜30及びBPSG膜25を選択的に除去して、不純物拡散層41に到達する開口部42を形成する。この開口部42を介してシリコン半導体層53の表層に、例えばイオン注入法によりp型不純物を導入して、p型不純物拡散層41を形成する。なお、後工程により、シリコン半導体層53に熱処理を施してこのp型不純物を拡散させてもよい。そして、スパッタ法によりアルミニウム膜を形成し、パターンニングすることにより、不純物拡散層41と接続されるアルミニウム配線層43を形成する。

【0149】ここで、アルミニウム配線層43から不純物拡散層41を介して半導体基板11に基板電位を印加することが可能である。そして、メモリセル領域においてはフィールドシールド素子分離構造54によって素子分離されているため、各素子活性領域に一斉に基板電位を印加することが可能である。これにより、メモリセル領域におけるトランジスタのしきい値を安定させることが可能である。

【0150】なお、図示しないがSOI基板50、ゲート電極20、ソース23、ドレイン24を適当な電位に設定するために、配線工程を引き続き行うことにより本実施形態に係る半導体装置が製造される。

【0151】なお、第4の実施形態のように半導体基板としてSOI基板を用いた場合には、図20(a)に示す工程でシリコン窒化膜17、27、28を除去した後、引き続いてSOI基板50の絶縁層52を除去するウェットエッチングを行ってもよい。

【0152】図21は、このウェットエッチングによってトレンチ15内の空洞(空隙)領域を横方向に広げた変形例を示す。空洞(空隙)領域を横方向に拡大することにより、メモリセル領域において素子分離能力を更なる高めることが可能である。この場合、図21に示すよう

に、SOI基板50の絶縁層52は1/4円形状に除去され、除去された領域の上部のシリコン半導体層53が露出する。

【0153】以上説明したように、本発明の第4の実施形態によれば、半導体基板51上に絶縁層52を介してシリコン半導体層53が設けられてなるSOI基板50を用い、トレンチ15を絶縁層52に到達させて空洞領域からなる素子分離構造を形成する。これにより、周辺回路領域の各々の素子活性領域を電氣的に独立させることができ、周辺回路領域のトランジスタの高速化を達成することが可能である。

【0154】そして、周辺回路領域をフィールドシールド素子分離構造54によって区画されたメモリセル形成領域から確実に分離することができる。さらに、メモリセル形成領域をフィールドシールド素子分離構造54によって素子分離するため、不純物拡散層41を介してアルミニウム配線層43からメモリセル領域の全域に基板電位を印加することができ、メモリセル領域のトランジスタのしきい値を安定させることが可能である。

【0155】例えば、絶縁層52を有するSOI基板50からなる半導体装置の全体構成図を図22に示す。このように、半導体装置を4つのブロックに仕切り、ブロック1及びブロック2をメモリセル領域とし、ブロック3及びブロック4を周辺回路領域として構成する。第4の実施形態で示したように、メモリセル領域(ブロック1、ブロック2)の素子分離はフィールドシールド素子分離構造54により行うのが好適である。更に、周辺回路領域のブロック3の素子分離をフィールドシールド素子分離構造54で行い、ブロック4の素子分離をトレンチ15内に形成された空洞領域による素子分離構造で行ってもよい。

【0156】これにより、フィールドシールド素子分離構造54で区画されたブロック1、2、3においては、基板電位を印加することによりトランジスタのしきい値の変動を最小限に抑えることができ、各々の素子活性領域が独立したブロック4においてはトランジスタの動作速度を高めてハイパフォーマンス領域とすることが可能である。

【0157】この場合ブロック1～4を仕切る素子分離構造は、ブロック相互間に電界が伝わらないようにSOI基板50の絶縁層52に達するトレンチ15内に形成された空隙領域による素子分離構造として、各ブロック1～4を電氣的に独立させるようにする。

【0158】なお、第4実施形態においては、メモリセル形成領域に基板電位を印加してメモリセル形成領域のトランジスタのしきい値を安定させる方法を示したが、周辺回路領域において、周辺のメモリセル領域あるいは他の周辺回路領域からの電界に対してガードリング効果を持たせることができる。

【0159】例えば、図23に示すように、周辺回路領

域であるブロック4における複数の素子活性領域を、絶縁層52に達する空隙領域から成る素子分離構造で区画して、それぞれが電氣的に独立する領域として構成する。そして、ブロック4を囲むようにガードリング効果をもたせるための素子活性領域60を形成する。この素子活性領域60に所定の電位を印加することによって、ブロック4を他のブロック1～ブロック3からガードして、電氣的により独立した領域とすることができる。

【0160】この場合も当然のことながら、ブロック1～4を仕切る素子分離構造及びブロック4を囲む素子分離構造は、ブロック相互間に電界が伝わらないようにS O I基板50の絶縁層52に達する空隙領域から成る素子分離構造としておく。

【0161】周辺回路領域とメモリセル領域の区画は、図23のブロック1に示すように、ブロック1内に絶縁層52に達する空隙領域から成る素子分離構造を形成して、電氣的に独立するブロック1aとブロック1bに区画してもよい。この場合も、ブロック1a、1bの双方を周辺回路形成領域としてもよい。

【0162】

【発明の効果】本発明によれば、素子分離構造として空隙領域を安定して形成することができるので、寄生容量を低減させ、素子分離能力を向上させることができる。

【0163】また、本発明の他の特徴によれば、空隙領域上部を密閉する絶縁膜の形成が容易であるので、微細化に適し、且つ、様々な寸法の素子分離領域に空隙（空洞）を形成できる。

【0164】さらに、本発明の他の特徴によれば、空隙上部を密閉する導電膜の形成を半導体素子の配線層の形成と同時に進めることができるため、製造工程を削減することが可能となる。

【0165】本発明によれば、半導体基板上の特定領域に空隙領域からなる素子分離構造を形成して、該領域の素子分離能力を高めることが可能である。

【0166】また、本発明によれば、メモリセル及びメモリセルの周辺回路が形成された半導体装置において、S O I基板を用いることにより、メモリセル領域と周辺回路領域の電氣的分離を空隙領域によって確実に進めることが可能であり、また特に周辺回路領域の素子分離能力を高めて素子形成領域を電氣的に独立させて高速動作を実現することが可能である。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る半導体装置の製造方法を工程順に示す概略断面図である。

【図2】本発明の第1の実施形態に係る半導体装置の製造方法を工程順に示す概略断面図である。

【図3】本発明の第1の実施形態に係る半導体装置の製造方法を工程順に示す概略断面図である。

【図4】本発明の第2の実施形態に係る半導体装置を示す概略断面図である。

【図5】本発明の第2の実施形態に係る半導体装置の製造方法を工程順に示す概略断面図である。

【図6】本発明の第2の実施形態に係る半導体装置の製造方法を工程順に示す概略断面図である。

【図7】本発明の第2の実施形態に係る半導体装置の製造方法を工程順に示す概略断面図である。

【図8】本発明の第2の実施形態に係る半導体装置の製造方法を工程順に示す概略断面図である。

【図9】本発明の第2の実施形態に係る半導体装置の製造方法を工程順に示す概略断面図である。

【図10】本発明の第2の実施形態に係る半導体装置の製造方法を工程順に示す概略断面図である。

【図11】本発明の第3の実施形態に係る半導体装置を示す概略断面図である。

【図12】本発明の第3の実施形態に係る半導体装置の製造方法を工程順に示す概略断面図である。

【図13】本発明の第3の実施形態に係る半導体装置の製造方法を工程順に示す概略断面図である。

【図14】本発明の第3の実施形態に係る半導体装置の製造方法を工程順に示す概略断面図である。

【図15】本発明の第3の実施形態に係る半導体装置の製造方法を工程順に示す概略断面図である。

【図16】本発明の第4の実施形態に係る半導体装置を示す概略断面図である。

【図17】本発明の第4の実施形態に係る半導体装置の製造方法を工程順に示す概略断面図である。

【図18】本発明の第4の実施形態に係る半導体装置の製造方法を工程順に示す概略断面図である。

【図19】本発明の第4の実施形態に係る半導体装置の製造方法を工程順に示す概略断面図である。

【図20】本発明の第4の実施形態に係る半導体装置の製造方法を工程順に示す概略断面図である。

【図21】本発明の第4の実施形態に係る半導体装置を示す概略断面図である。

【図22】本発明の第4の実施形態に係る半導体装置の全体構成を示す概略断面図である。

【図23】本発明の第4の実施形態に係る半導体装置の全体構成の他の例を示す概略断面図である。

【符号の説明】

- 11 半導体基板
- 12 パッド酸化膜
- 13 ポリシリコン膜
- 14 シリコン窒化膜
- 15 トレンチ
- 16 熱酸化膜
- 17 シリコン窒化膜
- 18 サイドウォール酸化膜
- 19 ゲート酸化膜
- 20 ゲート電極
- 21 キャップ酸化膜

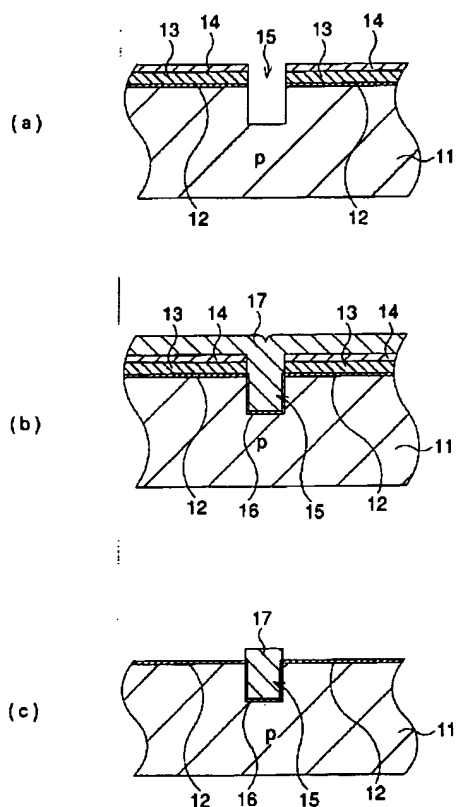
29

- 22 サイドウォール酸化膜
- 23 ソース領域
- 24 ドレイン領域
- 25 BPSG膜
- 26, 45 ポリシリコン膜
- 27 シリコン窒化膜
- 28 サイドウォール窒化膜
- 29, 32, 33, 42 開口部
- 30 熱酸化膜
- 36 チタン膜
- 37 窒化チタン膜
- 38 タングステン膜

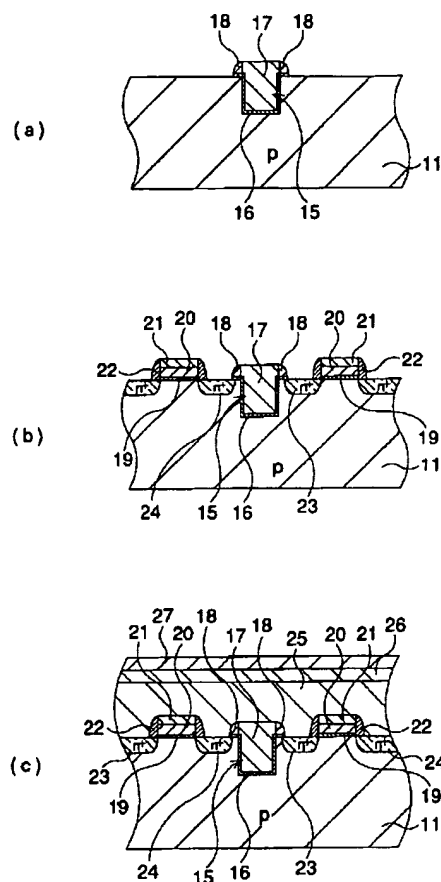
30

- 39 サイドウォール窒化膜
- 40 レジスト
- 41 p型不純物拡散層
- 44 フィールドシールドゲート絶縁膜
- 43 アルミニウム配線層
- 46 シリコン酸化膜
- 50 SOI基板
- 51 半導体基体
- 52 絶縁層
- 10 53 シリコン半導体層
- 54 フィールドシールド素子分離構造
- 60 素子活性領域

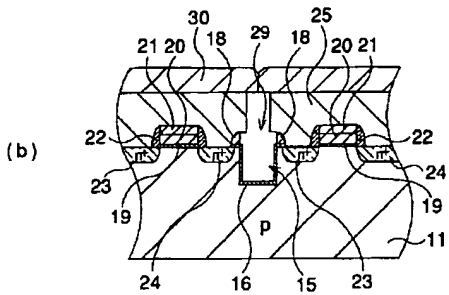
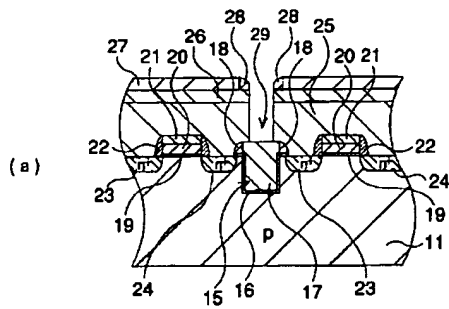
【図1】



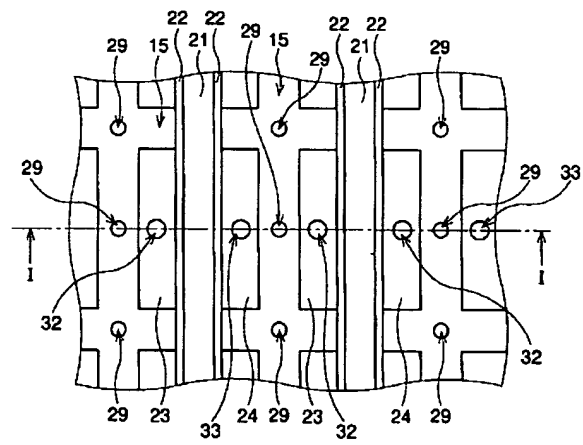
【図2】



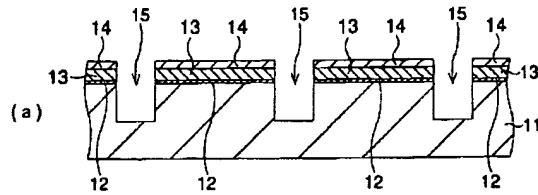
【図3】



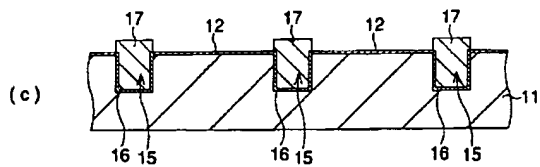
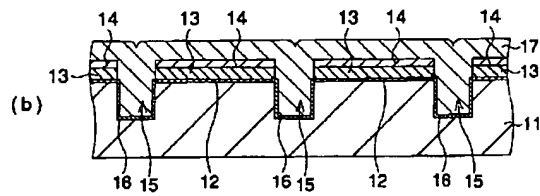
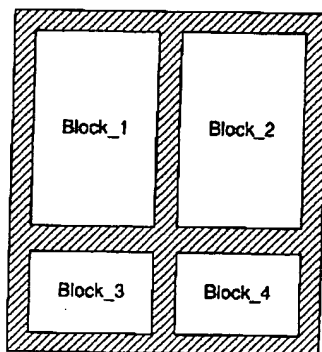
【図4】



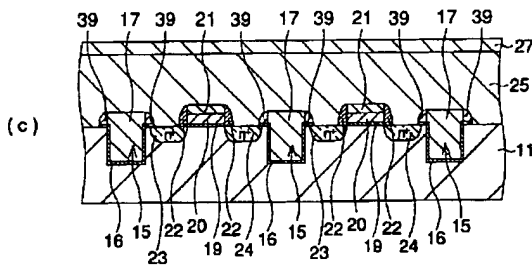
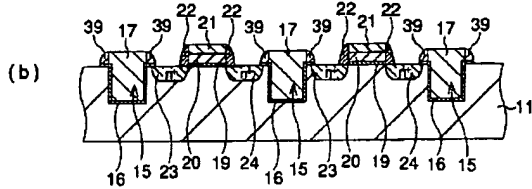
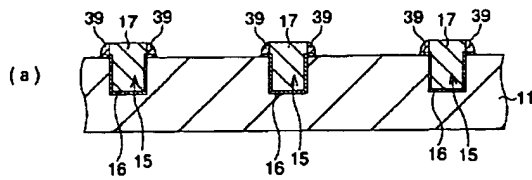
【図5】



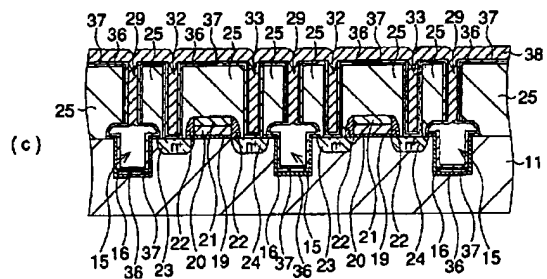
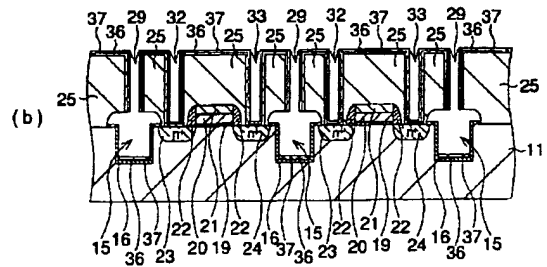
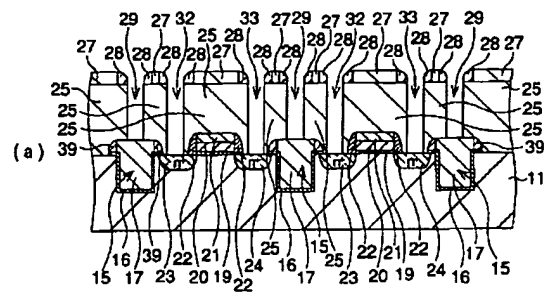
【図22】



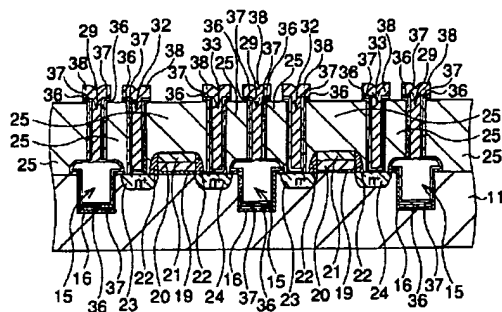
【図6】



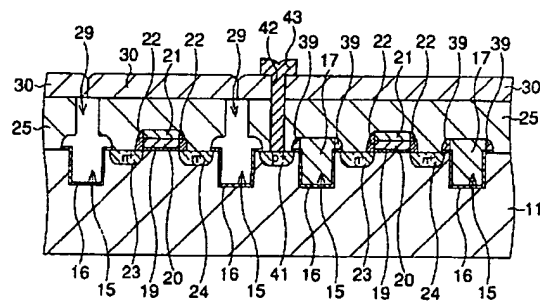
【図7】



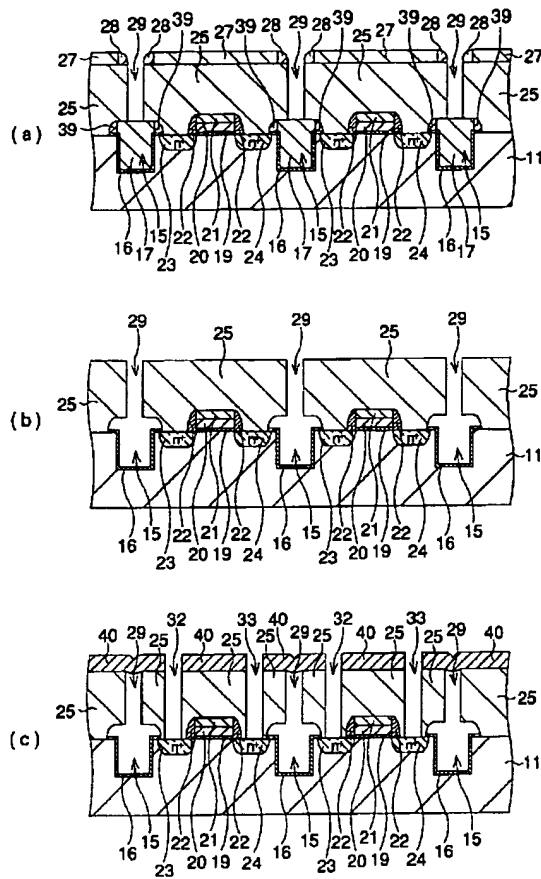
【図8】



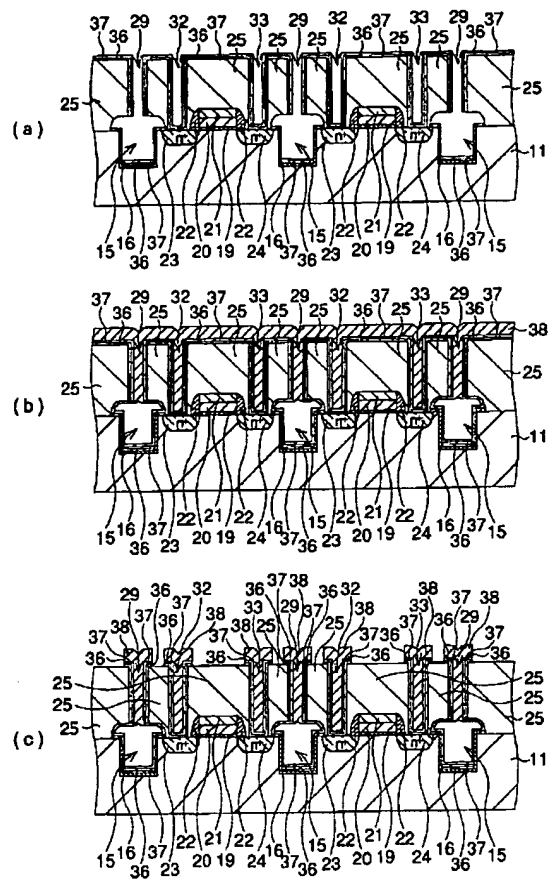
【図15】



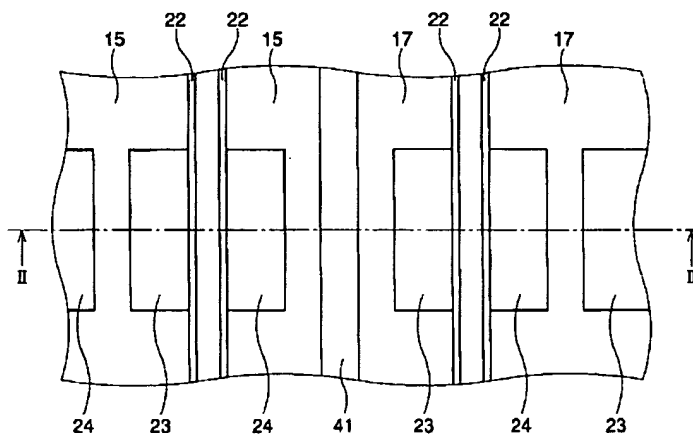
【図9】



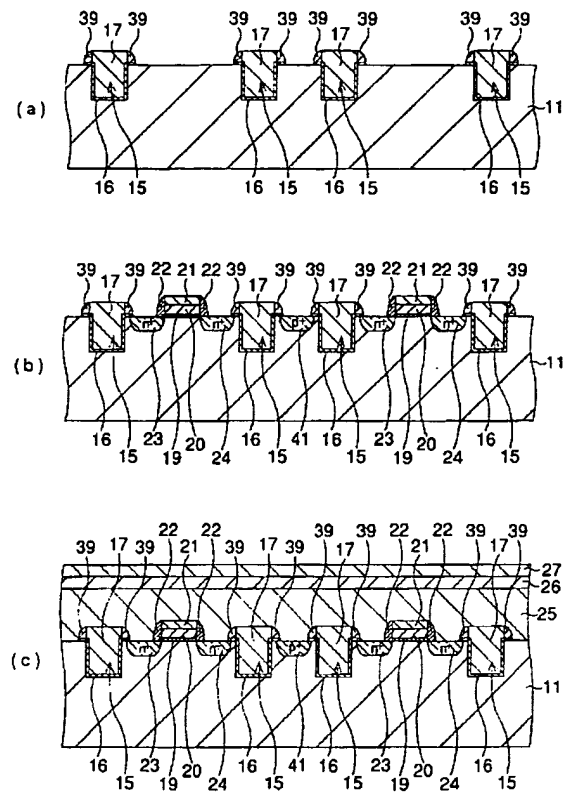
【図10】



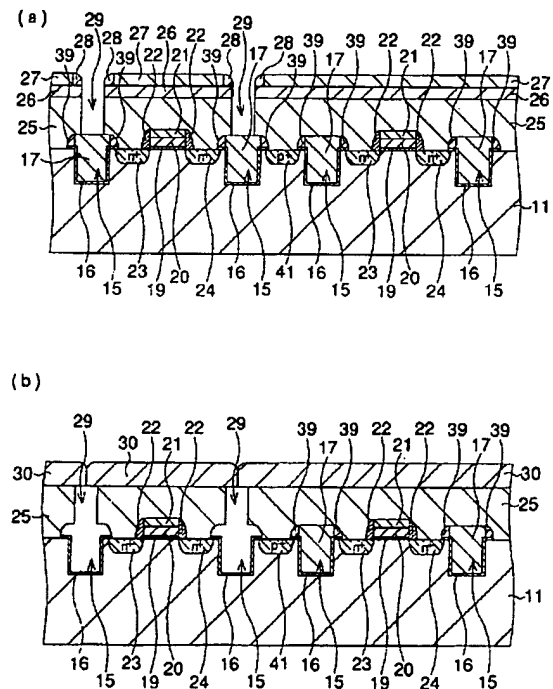
【図11】



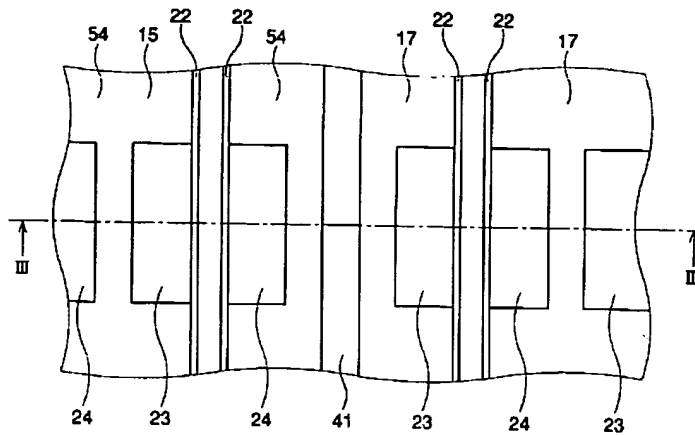
【図13】



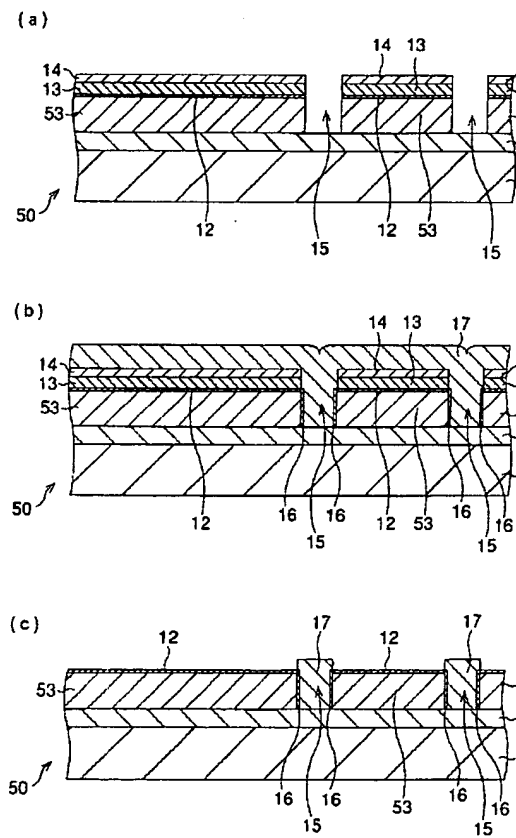
【図14】



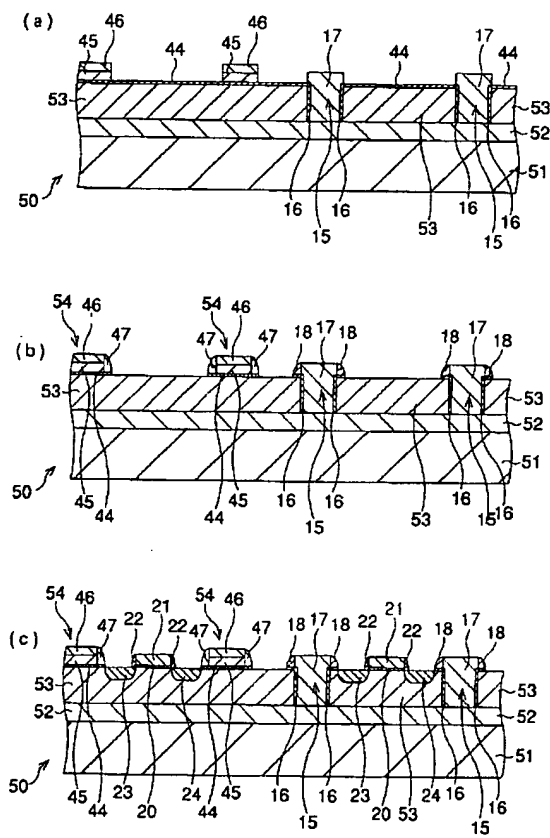
【図16】



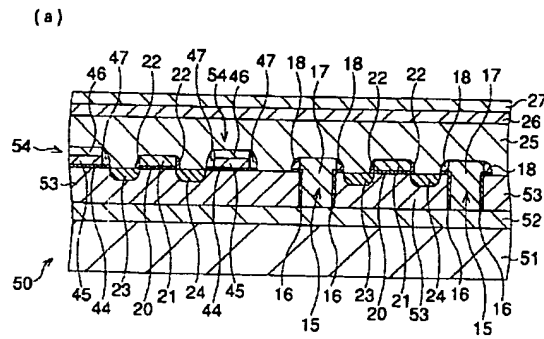
【図17】



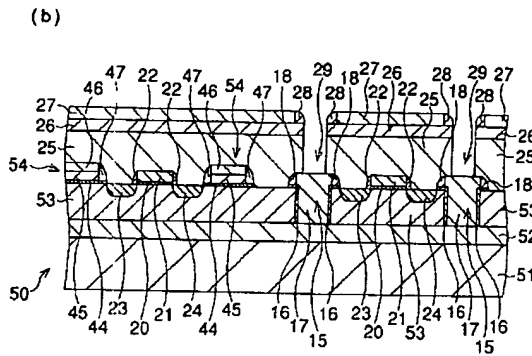
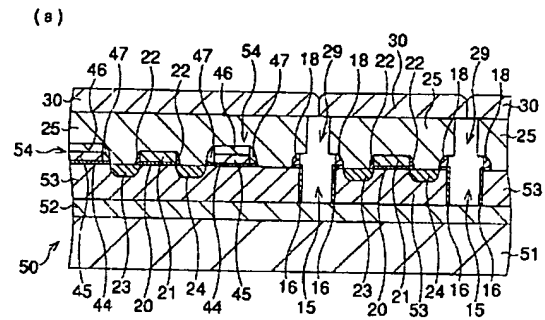
【図18】



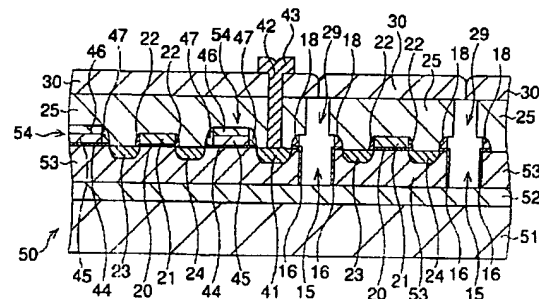
【図19】



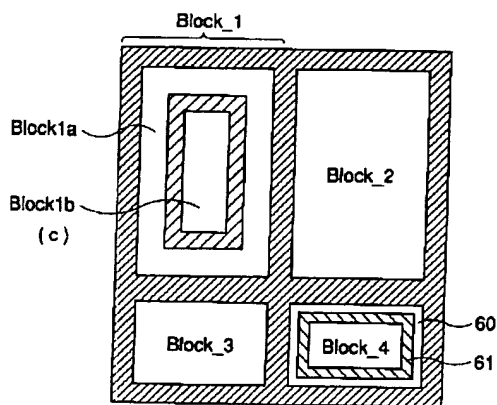
【図20】



(b)



【図23】



フロントページの続き

(51)Int. Cl.⁶

識別記号

F I

H 0 1 L 21/76

D